

2
1/15/02
Maki

J1040 U.S. PTO

09/816170



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this office.

Date of Application: March 27, 2000

Application Number : P2000 - 087644

Applicant(s) : KABUSHIKI KAISHA TOSHIBA

February 9, 2001

Commissioner,
Patent Office

Kouzou OIKAWA

Number of Certification : 2001 - 3006334

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

J1040 U.S. PTO
09/816170
03/26/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 3月27日

出 願 番 号
Application Number:

特願2000-087644

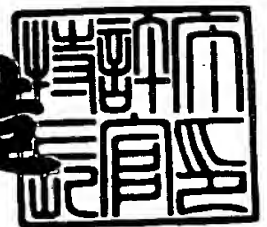
出 願 人
Applicant (s):

株式会社東芝

2001年 2月 9日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3006334

【書類名】 特許願

【整理番号】 46A999311

【提出日】 平成12年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/10
H01L 25/00
H01L 27/301

【発明の名称】 半導体装置及び半導体モジュール

【請求項の数】 7

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝
マイクロエレクトロニクスセンター

【氏名】 細美 英一

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083806

【弁理士】

【氏名又は名称】 三好 秀和

【電話番号】 03-3504-3075

【選任した代理人】

【識別番号】 100068342

【弁理士】

【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及び半導体モジュール

【特許請求の範囲】

【請求項 1】 メモリユニットと、
複数のメモリユニットに共通のメモリユニット選択信号が供給される選択信号端子と、

前記共通のメモリユニット選択信号に基づき、前記メモリユニットをその他のメモリユニットに対して識別させる識別ユニットと
を備えたことを特徴とする半導体装置。

【請求項 2】 前記識別ユニットは、
前記メモリユニットに個別に与えられた固有識別子と前記メモリユニット選択信号とに基づき前記メモリユニットを選択するメモリユニット選択回路と、
前記固有識別子に基づいて他のメモリユニットを識別する他の固有識別子を生成する固有識別子生成回路と

を少なくとも備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記メモリユニットのアドレス番地を選択するアドレス信号を供給するアドレス信号端子の余剰信号端子を、前記メモリユニット選択信号が供給される選択信号端子として使用したことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記識別ユニットは、
前記メモリユニットに与える固有識別子を生成するヒューズ素子を少なくとも有する固有識別子生成回路と、

前記固有識別子と前記メモリユニット選択信号とに基づき前記メモリユニットを選択するメモリユニット選択回路と

を少なくとも備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】 前記識別ユニットは、
前記メモリユニットに与える固有識別子を生成するワイヤを少なくとも有する固有識別子生成回路と、

前記固有識別子と前記メモリユニット選択信号とに基づき前記メモリユニット

を選択するメモリユニット選択回路と

を少なくとも備えたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】 メモリユニットと、

複数のメモリユニットに共通のメモリユニット選択信号が供給される選択信号端子と、

前記メモリユニットに外付けされ、前記共通のメモリユニット選択信号に基づき、前記メモリユニットをその他のメモリユニットに対して識別させる識別ユニットと

を備えたことを特徴とする半導体装置。

【請求項 7】 第 1 のメモリユニットと、

前記第 1 のメモリユニットに積層された第 2 のメモリユニットと、

前記第 1 のメモリユニットに配設され、複数のメモリユニットに共通のメモリユニット選択信号が供給される第 1 の選択信号端子と、

前記第 2 のメモリユニットに配設され、前記共通のメモリユニット選択信号が供給される第 2 の選択信号端子と、

前記第 1 のメモリユニットに配設され、前記第 1 のメモリユニットを第 2 のメモリユニットに対して識別させる第 1 の識別ユニットと、

前記第 2 のメモリユニットに配設され、前記第 2 のメモリユニットを第 1 のメモリユニットに対して識別させる第 2 の識別ユニットと

を備えたことを特徴とする半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、少なくともメモリユニットを有する半導体装置及び半導体モジュールに関し、特にメモリユニットを複数積層することが可能な半導体装置及びメモリユニットを複数積層した半導体モジュールに関する。さらに、本発明は、同一構造のメモリユニットを複数積層することが可能な半導体装置及び同一構造のメモリユニットを複数積層した半導体モジュールに関する。

【0002】

【従来の技術】

ノート型パーソナルコンピュータ（PC）、携帯端末機（PDA）、携帯電話等の携帯機器の普及に伴い、この携帯機器の内部に搭載する半導体装置に対する小型化の要求が強まりつつある。特に、大量の情報を記憶する半導体メモリ、例えばダイナミックランダムアクセスメモリ（以下、単にDRAMという。）に要求される記憶容量は増加する傾向にある。

【0003】

この種のDRAMにおいて1つの半導体チップにより実現することができる記憶容量は、半導体製造プロセスの微細加工精度に制約され、限られている。携帯機器において要求される記憶容量を実現するためには複数のDRAM（複数の半導体チップ）を組み込む必要が生じる。通常、携帯機器のマザーボード、ドーターボード等の実装基板上の同一平面内に2次元的に複数のDRAMを実装する方式が採用されている。

【0004】

しかしながら、このような実装方式においては、実装基板上のDRAMの実装面積が増大してしまうため、携帯機器の小型化を実現することが難しかった。そこで、実装基板上に3次元的に複数のDRAMを積層する実装方式が提案されている。

【0005】

図16に示すシンクロナスDRAM（以下、単にSDRAMという。）システム100は、4バンク構成で構築された4個のメモリバンク101～104と、クロックバッファ回路110と、コマンドデコーダ回路111と、コントロール信号ジェネレータ回路112と、アドレスバッファ回路113と、モードレジスタ回路114と、リフレッシュカウンタ回路115と、カラムカウンタ回路116と、データコントロール回路117と、データ出力バッファ回路118とを備えて構成されている。メモリバンク101～104には、メモリセルアレイ130、カラムデコーダ回路131、ロウデコーダ回路132及びセンスアンプ回路133がそれぞれ配設されている。

【0006】

メモリバンク101～104のそれぞれの記憶容量は16Mbitに設定されており、このSDRAMシステム100の合計の記憶容量は64Mbitに設定されている。メモリセルアレイ130においては、12bitのロウアドレス信号と8bitのカラムアドレス信号が入力される。データ線の本数は16本である。これらの数値はSDRAMシステム100の記憶容量で異なり、例えば256Mbitの記憶容量を有するSDRAMシステムにおいては、13bitのロウアドレス信号及び9bitのカラムアドレス信号が使用されている。

【0007】

クロックバッファ回路110にはクロック信号CLK、CKEが入力され、コマンドデコーダ回路111にはクロック信号CKEが入力されている。さらに、コマンドデコーダ回路111には、チップセレクト信号CS、ロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WE、アドレス信号A₁₀のそれぞれが入力されている。アドレスバッファ回路113には、アドレス信号A₁₀、A₀～A₉、A₁₁、バンクセレクト信号BS0、BS1のそれぞれが入力されている。一方、データ出力バッファ回路118においては、データ信号DQ1～DQnが入出力されるようになっている。

【0008】

上記SDRAMシステム100においては、図17に示す動作フローチャートに従って情報書き込み動作並びに情報読み出し動作が行われている。

【0009】

(1) バンクアクティブ動作

まず、アドレスバッファ回路113にアドレス信号A₀～A₁₁が入力され、このアドレス信号A₀～A₁₁からロウアドレス信号(12bit)が設定される(図17中のステップ120。以下同様。)。コマンドデコーダ回路111にロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEが入力される。ロウアドレスストロブ信号RASがロウレベル「L」、カラムアドレスストロブ信号CASがハイレベル「H」、ライトイネーブル信号WEがハイレベル「H」の場合(ステップ121)、引き続きチップセレクト信号CSが入力される。チップセレクト信号CSがロウレベル

「L」の場合（ステップ122）、このSDRAMシステム100が選択される。ここで、アドレスバッファ回路113にバンクセレクト信号BS0、BS1が入力され（ステップ123）、このバンクセレクト信号BS0、BS1によりメモリバンク101、102、103又は104のいずれかが選択（アクティブ状態に）される。例えば、仮にメモリバンク101が選択されたことにする。ここで、チップセレクト信号CSがハイレベル「H」の場合には、メモリバンク101が選択されても、このSDRAMシステム100が選択されていないので、情報書き込み動作並びに情報読み出し動作は行われぬ。選択されたメモリバンク101にはロウアドレス信号が入力される。

【0010】

（2）情報書き込み動作及び情報読み出し動作

選択されたメモリバンク101において、アドレスバッファ回路113に入力されたアドレス信号A₀～A₈に基づいてカラムアドレス信号（9bit）が入力される（ステップ124）。コマンドデコード回路111にロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEが入力される。ここで、ロウアドレスストロブ信号RASがハイレベル「H」、カラムアドレスストロブ信号CASがロウレベル「L」、ライトイネーブル信号WEがハイレベル「H」の場合（ステップ125、126）、選択されたメモリバンク101のメモリセルアレイ130において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに記憶された情報が読み出される（ステップ127）。情報はデータ信号DQとしてデータ出力バッファ回路118から出力される。一方、ライトイネーブル信号WEがロウレベル「L」である場合、選択されたメモリバンク101のメモリセルアレイ130において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに情報が書き込まれる（ステップ128）。メモリセルに書き込まれる情報は、データ信号DQとしてデータ出力バッファ回路118に入力される。

【0011】

このように、情報書き込み動作及び情報読み出し動作の対象となるSDRAM

システム 1 0 0 は、チップセレクト信号 CS により選択されている。

【 0 0 1 2 】

上記図 1 6 に示すような SDRAM システム 1 0 0 を 1 個の半導体メモリとしてパッケージングし、単純に実装基板上にこのような SDRAM システム 1 0 0 を複数積層した場合には、チップセレクト信号 CS を供給する端子（チップセレクトリードピン）が共通になってしまい、外部から SDRAM システム 1 0 0 を個別に選択し、情報書き込み動作並びに情報読み出し動作を実行することができない。

【 0 0 1 3 】

特開平 2 - 2 9 0 0 4 8 号公報、特開平 6 - 3 4 2 8 7 4 号公報には、いずれも上記技術的課題を解決することができる発明が開示されている。

【 0 0 1 4 】

前者の特開平 2 - 2 9 0 0 4 8 号公報に開示された発明は、図 1 8 に示すように、実装基板 1 3 0 上にテープオートメイテッドボンディング（以下、単に TAB という。）方式のパッケージ 1 3 1 ~ 1 3 4 が積層されている。それぞれパッケージ 1 3 1 ~ 1 3 4 には、アドレス信号等の各パッケージに共通の信号や電源を供給するアウターリード 1 3 5 A ~ 1 3 5 D と、チップセレクト信号 CS を各パッケージ 1 3 1 ~ 1 3 4 に供給するアウターリード 1 3 6 A ~ 1 3 6 D とを備えている。アウターリード 1 3 6 A ~ 1 3 6 D は複数に分岐されており、パッケージ 1 3 1 ~ 1 3 4 毎に順番に 1 ピッチづつずらして実装基板 1 3 0 上の端子 1 3 0 A ~ 1 3 0 D にアウターリード 1 3 7 A ~ 1 3 7 D を介在させて電氣的に接続されるようになっている。すなわち、前者の発明は、これらのアウターリード 1 3 7 A ~ 1 3 7 D によりパッケージ 1 3 1 ~ 1 3 4 のそれぞれにチップセレクト信号 CS を独立に供給することができる。

【 0 0 1 5 】

後者の特開平 6 - 3 4 2 8 7 4 号公報に開示された発明は、図 1 9 に示すように、実装基板 1 4 0 上に複数のパッケージ基板 1 4 1 ~ 1 4 4 が積層されている。それぞれのパッケージ基板 1 4 1 ~ 1 4 4 にはチップセレクト信号 CS を供給するための表面電極 1 4 5 A ~ 1 4 5 H 及び裏面電極 1 4 6 A ~ 1 4 6 H を備え

、表面電極145A～145Hと裏面電極146A～146Hとの間は内部スルーホールを通して電氣的に接続されるとともに、表面電極145A～145Hに対して裏面電極146A～146Hの配列ピッチをずらしている。この表面電極145A～145Hと裏面電極146A～146Hとの間の配設ピッチをずらすことにより、各パッケージ基板141～144にチップセレクト信号CSを独立に供給することができる。

【0016】

【発明が解決しようとする課題】

しかしながら、前述の公開公報に開示された発明においては以下の点について配慮がなされていなかった。

【0017】

(1) 前者の公開公報に開示された発明においては、チップセレクト信号CSを供給するアウターリード136A～136Dの複数に分岐させた一端に別のアウターリード137A～137Dを接続することにより、チップセレクト信号CSをパッケージ131～134のそれぞれに独立に供給することができるので、同一構造のパッケージ131～134を積層して、記憶容量の大容量化を実現することができる。ところが、4個のパッケージ131～134の積層にはチップセレクト信号数(積層数)に対応した4本のアウターリード137A～137D(アウターリード136A～136Dには4つの分岐数)が必要であり、さらに8個のパッケージを積層する場合には8本のアウターリード(又はアウターリードには8つの分岐数)が必要になる。つまり、アウターリード136A～136Dのそれぞれの分岐数の増加に応じてパッケージ131～134のそれぞれのサイズが増大するという問題があった。

【0018】

(2) 後者の公開公報に開示された発明においては、チップセレクト信号CSを供給するための表面電極145A～145Hに対して所定配列ピッチずらした裏面電極146A～146Hを備えることにより、チップセレクト信号CSをパッケージ基板141～144のそれぞれに独立に供給することができるので、同一構造のパッケージ基板141～144を積層して、記憶容量の大容量化を実現す

ることができる。ところが、前者の公開公報に開示された発明と同様に、チップセレクト信号数の増加に応じて表面電極 1 4 5 A ~ 1 4 5 H 及び裏面電極 1 4 6 A ~ 1 4 6 H の配列数が増加し、パッケージ基板 1 4 1 ~ 1 4 4 のそれぞれのサイズが増大するという問題があった。

【 0 0 1 9 】

(3) 従って、前者並びに後者の公開公報に開示された発明においては、パッケージ 1 3 1 ~ 1 3 4 又はパッケージ基板 1 4 1 ~ 1 4 4 の積層数をさらに増加すればするほどチップセレクト信号 C S 数が増加し、これに伴いチップセレクト信号 C S を供給する端子数が増加する。この端子数の増加に応じてさらにパッケージ 1 3 1 ~ 1 3 4 又はパッケージ基板 1 4 1 ~ 1 4 4 のサイズの増加が発生し、3 次元積層デバイスの大容量化を実現することが難しかった。

【 0 0 2 0 】

本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、同一構造を有するメモリユニットを複数積層することができ、かつ複数積層したメモリユニットのいずれかを選択する選択信号端子数を削減することができる半導体装置を提供することである。特に、本発明の目的は、同一構造を有するメモリユニットの複数積層を可能とし、大記憶容量を実現することができるとともに、選択信号端子数を削減して個々のメモリユニットのサイズを縮小し、より一層の大記憶容量を実現することができる半導体装置を提供することである。

【 0 0 2 1 】

さらに、本発明の目的は、メモリユニットを複数積層することができるパッケージ構造を実現することができるとともに、選択信号端子数を削減してパッケージサイズの小型化を実現することができる半導体装置を提供することである。

【 0 0 2 2 】

さらに、本発明の目的は、上記目的を達成しつつ、複数積層されたメモリユニットを簡易に識別することができる半導体装置を提供することである。

【 0 0 2 3 】

さらに、本発明の目的は、上記目的を達成することができる、メモリユニットを複数積層した半導体モジュールを提供することである。

【 0 0 2 4 】

【課題を解決するための手段】

上記課題を解決するために、本発明の第1の特徴は、メモリユニットと、複数のメモリユニットに共通のメモリユニット選択信号が供給される選択信号端子と、共通のメモリユニット選択信号に基づき、メモリユニットをその他のメモリユニットに対して識別させる識別ユニットとを備えた半導体装置としたことである。ここで、「メモリユニット」とは、情報記憶機能を有するユニットという意味で使用され、情報書き換え可能な機能を有するユニット並びに情報の読み出し専用の機能を有するユニットがいずれも含まれる。情報書き換え可能な機能を有するユニットには、DRAM（SDRAM等が含まれる。）、スタチックランダムアクセスメモリ（SRAM）等の揮発性メモリが少なくとも含まれる。情報の読み出し専用の機能を有するユニットには、リードオンリーメモリ（ROM）、紫外線消去型不揮発性メモリ（EPROM）、電氣的消去型不揮発性メモリ（EEPROM）等の不揮発性メモリが少なくとも含まれる。「メモリユニット」には、単独で半導体チップに搭載される場合、論理ユニット等の他の回路ユニットと併せて1つの半導体チップに搭載される場合、複数のメモリユニットを1つのメモリモジュールとして構築される場合等がいずれも含まれる。「複数のメモリユニットに共通のメモリユニット選択信号」とは、複数のメモリユニットに個別に供給されるメモリユニット選択信号ということではなく、複数のメモリユニットのすべてに供給される同一のメモリユニット選択信号という意味で使用される。

「選択信号端子」は、この共通のメモリユニット選択信号をメモリユニットに供給するための信号端子という意味で使用される。例えば、1つの選択信号端子にロウレベル（例えば信号「0」に相当する。）とハイレベル（例えば信号「1」に相当する。）との1bitの信号を供給することができるので、4個のメモリユニットを積層する場合、2bitの信号「0, 0」、「0, 1」、「1, 0」及び「1, 1」により特定のメモリユニットを識別することができる。すなわち、1つのメモリユニットには少なくとも2つの選択信号端子を備えればよい。個別にチップセレクト信号を供給する場合には、4つの独立した信号端子（信号端子）が必要になる。同様に、8個のメモリユニットを積層する場合には、3bit

tの信号のメモリユニット選択信号を供給すればよいので、個々のメモリユニットに配設する選択信号端子数は3つでよい（個別の場合は8本の信号線が必要である。）。16個のメモリユニットを積層する場合には、4bitの信号のメモリユニット選択信号を供給すればよいので、個々のメモリユニットに配設する選択信号端子数は4つでよい（個別の場合は16本の信号線が必要である）。「識別ユニット」とは、メモリユニットが複数積層される場合に、情報書き換え動作や情報読み出し動作を行う特定のメモリユニットを、選択信号端子に供給されたメモリユニット選択信号に基づき選択することができるユニットという意味で用される。

【0025】

このように構成される本発明の第1の特徴に係る半導体装置においては、選択信号端子から供給される共通のメモリユニット選択信号に基づき、認識ユニットよりメモリユニットを識別するようにしたので、選択信号端子数を削減することができ、この選択信号端子数、選択信号端子の配列形態等をメモリユニットとそれ以外の他のメモリユニットとの間で同一構造とすることができる。従って、選択信号端子数の削減に相当する分の装置サイズを縮小することができ、小型化を実現することができるとともに、メモリユニットを複数積層することができる半導体装置を実現することができる。なお、本発明の第1の特徴に係る半導体装置においては、メモリユニットを複数積層することだけに限らず、メモリユニットを同一平面上に配列することができる。この場合も同様に、選択信号端子数を削減することができるので、装置サイズを縮小して小型化を実現することができる。

【0026】

本発明の第2の特徴は、本発明の第1の特徴に係る半導体装置の識別ユニットにおいて、メモリユニットに個別に与えられた固有識別子とメモリユニット選択信号とに基づきメモリユニットを選択するメモリユニット選択回路と、固有識別子に基づいて他のメモリユニットを識別する他の固有識別子を生成する固有識別子生成回路とを少なくとも備えたことである。ここで、「固有識別子」とは、メモリユニット毎に与えられ、情報の書き換え動作や情報の読み出し動作を行うた

めにメモリユニットを選択するのに必要な固有識別情報という意味で利用される。例えば、メモリユニットに信号「1, 0」の「固有識別子」が与えられている場合において、この固有識別子「1, 0」に対応するメモリユニット選択信号が入力されると、このメモリユニットが選択される（アクティブ状態になる）ようになっている。「メモリユニット選択回路」には、固有識別子とメモリユニット選択信号とを比較し、この比較結果に基づいてメモリユニットを選択するか否かを決定する、例えば比較回路を主体とする回路を実用的に使用することができる。「メモリユニットに与えられた固有識別子に基づいて他のメモリユニットを識別する他の固有識別子を生成する」とは、1つのメモリユニットに固有識別子が与えられると、この固有識別子が与えられたメモリユニットと異なる他のメモリユニットに、この他のメモリユニットを識別する別の固有識別子を生成するという意味で利用される。「固有識別子生成回路」には、例えばメモリユニットの固有識別子を順次加算してゆく加算回路を主体とする回路を実用的に使用することができる。

【0027】

このように構成される本発明の第2の特徴に係る半導体装置においては、メモリユニット選択回路によりメモリユニットに与えられた固有識別子とメモリユニット選択信号とに基づきメモリユニットを簡易に選択することができ、さらに固有識別子生成回路により1つのメモリユニットに与えられた固有識別子から他のメモリユニットを識別する別の固有識別子を自動的に形成することができる。

【0028】

本発明の第3の特徴は、本発明の第2の特徴に係る半導体装置において、メモリユニットのアドレス番地を選択するアドレス信号を供給するアドレス信号端子の余剰信号端子を、メモリユニット選択信号が供給される選択信号端子として使用したことである。ここで、「余剰信号端子」とは、アドレス信号端子のうち、実際に使用していない余分な信号端子という意味で利用される。例えば、64 M b i t の記憶容量を有する D R A M において、アドレス信号端子はアドレス信号 $A_0 \sim A_{12}$ に対応して合計13個配設されているが、実際にはロウアドレス信号としてアドレス信号 $A_0 \sim A_{11}$ が使用され、アドレス信号 A_{12} が使用され

ておらず、カラムアドレス信号としてアドレス信号 $A_0 \sim A_7$ が使用され、アドレス信号 A_8 以降が使用されていない。この余分なアドレス信号が供給される余剰信号端子を選択信号端子として有効に利用することができる。

【0029】

このように構成される本発明の第3の特徴に係る半導体装置においては、アドレス信号の余剰信号端子を選択信号端子として有効に利用することにより、選択信号端子数をより一層削減することができるので、装置サイズを縮小し、より一層の小型化を実現することができる。

【0030】

本発明の第4の特徴は、本発明の第1の特徴に係る半導体装置の識別ユニットに、メモリユニットに与える固有識別子を生成するヒューズ素子を少なくともも有する固有識別子生成回路と、固有識別子とメモリユニット選択信号とに基づきメモリユニットを選択するメモリユニット選択回路とを少なくとも備えたことである。ここで、「ヒューズ素子」において、導通状態を例えば信号「0」、非導通状態を信号「1」として固有識別子を生成することができる。「ヒューズ素子」には、例えば電氣的切断方式を採用するヒューズ素子、レーザ切断方式を採用するヒューズ素子の少なくともいずれかを実用的に使用することができる。

【0031】

このように構成される本発明の第4の特徴に係る半導体装置においては、本発明の第2の特徴に係る半導体装置で得られる効果に加えて、例えば論理回路の構成に比べて簡易な構造のヒューズ素子で固有識別子を生成することができるので、識別ユニットの構成を簡易に実現することができる。

【0032】

本発明の第5の特徴は、本発明の第1の特徴に係る半導体装置において、識別ユニットに、メモリユニットに与える固有識別子を生成するワイヤを少なくともも有する固有識別子生成回路と、固有識別子とメモリユニット選択信号とに基づきメモリユニットを選択するメモリユニット選択回路とを少なくとも備えたことである。ここで、「ワイヤ」には、少なくともボンディングワイヤを実用的に使用することができる。

【 0 0 3 3 】

このように構成される本発明の第 5 の特徴に係る半導体装置においては、本発明の第 2 の特徴に係る半導体装置で得られる効果に加えて、例えば論理回路の構成に比べて簡易な構造のワイヤで固有識別子を生成することができるので、識別ユニットの構成を簡易に実現することができる。

【 0 0 3 4 】

本発明の第 6 の特徴は、メモリユニットと、複数のメモリユニットに共通のメモリユニット選択信号が供給される選択信号端子と、メモリユニットに外付けされ、共通のメモリユニット選択信号に基づき、メモリユニットをその他のメモリユニットに対して識別させる識別ユニットとを備えた半導体装置としたことである。ここで、「メモリユニットに外付けされた識別ユニット」とは、メモリユニットが搭載された基板（例えば半導体チップ）とは別の基板（例えば別の半導体チップ）に搭載された識別ユニットという意味で使用される。

【 0 0 3 5 】

このように構成される本発明の第 6 の特徴に係る半導体装置においては、本発明の第 1 の特徴に係る半導体装置で得られる効果に加えて、識別ユニットを外付けとしたことで、システム構築の自由度を高めることができる。さらに、メモリユニット、識別ユニットのそれぞれを、別々に独立して製作することができる。

【 0 0 3 6 】

本発明の第 7 の特徴は、第 1 のメモリユニットと、第 1 のメモリユニットに積層された第 2 のメモリユニットと、第 1 のメモリユニットに配設され、複数のメモリユニットに共通のメモリユニット選択信号が供給される第 1 の選択信号端子と、第 2 のメモリユニットに配設され、共通のメモリユニット選択信号が供給される第 2 の選択信号端子と、第 1 のメモリユニットに配設され、第 1 のメモリユニットを第 2 のメモリユニットに対して識別させる第 1 の識別ユニットと、第 2 のメモリユニットに配設され、第 2 のメモリユニットを第 1 のメモリユニットに対して識別させる第 2 の識別ユニットとを備えた半導体モジュールとしたことである。ここで、「第 1 のメモリユニット」と「第 2 のメモリユニット」とは同一構造で構成されている。同様に、「第 1 の選択信号端子」と「第 2 の選択信号端

子」とは同一構造で構成され、「第1の識別ユニット」と「第2の識別ユニット」とは同一構造で構成される。なお、本発明の第1の特徴に係る「半導体装置」は例えば1つのメモリユニットを備えた半導体装置（例えばDRAM半導体チップやパッケージ）であるのに対して、本発明の第7の特徴に係る「半導体モジュール」は複数積層したメモリユニット（例えば上記DRAM半導体チップやパッケージ）を備えた半導体モジュール（例えばDRAMモジュール）を意味している。さらに、「第1のメモリユニット及び第2のメモリユニット」とは、最低限2個のメモリユニットを有するという意味で、本発明の第7の特徴に係る半導体モジュールは3個以上のメモリユニットを備えた場合も勿論含まれる。

【0037】

このように構成される本発明の第7の特徴に係る半導体モジュールにおいては、本発明の第1の特徴に係る半導体装置で得られる効果に加えて、第1のメモリユニットと第2のメモリユニットとを複数積層することができるので、大記憶容量化、高実装密度化を実現することができる。

【0038】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。なお、本発明の実施の形態は、DRAMをメモリユニットとする半導体装置並びに半導体モジュールに本発明を適用した場合を説明する。

【0039】

（第1の実施の形態）

[半導体装置の構造]

本発明の第1の実施の形態に係る半導体装置1は、SDRAMシステムで構築され、図1に示すように、メモリユニット10Aと、複数のメモリユニット（10A～10D）に共通のメモリユニット選択信号CS1、CS2が供給される選択信号端子311、312と、共通のメモリユニット選択信号CS1、CS2に基づき、メモリユニット10Aをその他のメモリユニット（10B～10D）に対して識別させる識別ユニット30Aとを少なくとも備えている。なお、本発明の第1の実施の形態に係る半導体装置1は、このメモリユニット10Aを有する

半導体装置 1、後述するメモリユニット 10B を有する半導体装置 2、メモリユニット 10C を有する半導体装置 3、メモリユニット 10D を有する半導体装置 4 の合計 4 個の半導体装置を積層した、又はそれ以下の個数（例えば 2 個）の半導体装置を積層した半導体モジュールを構築することを前提として構成されている。

【0040】

メモリユニット 10A は、4 バンク構成で構築された 4 個のメモリバンク 21～24 と、クロックバッファ回路 11 と、コマンドデコーダ回路 12 と、コントロール信号ジェネレータ回路 13 と、アドレスバッファ回路 14 と、モードレジスタ回路 15 と、リフレッシュカウンタ回路 16 と、カラムカウンタ回路 17 と、データコントロール回路 18 と、データ出力バッファ回路 19 とを少なくとも備えて構成されている。メモリバンク 21～24 には、メモリセルアレイ 200、カラムデコーダ回路 201、ロウデコーダ回路 203 及びセンスアンプ回路 202 がそれぞれ配設されている。

【0041】

メモリバンク 21～24 のそれぞれの記憶容量は必ずしもこの記憶容量に限定されるものではないが例えば 16 Mbit に設定されており、このメモリユニット 10A の合計の記憶容量は 64 Mbit に設定されている。メモリセルアレイ 130 においては、12 bit のロウアドレス信号と 8 bit のカラムアドレス信号が入力される。データ線の本数は 16 本である。これらの数値はメモリユニット 10A の記憶容量で異なり、例えば 256 Mbit の記憶容量を有するメモリユニット 10A においては、13 bit のロウアドレス信号及び 9 bit のカラムアドレス信号が使用されている。

【0042】

クロックバッファ回路 11 にはクロック信号 CLK、CKE が入力され、コマンドデコーダ回路 12 にはクロック信号 CKE が入力されている。さらに、コマンドデコーダ回路 12 には、ロウアドレスストロブ信号 RAS、カラムアドレスストロブ信号 CAS、ライトイネーブル信号 WE、アドレス信号 A₁₀ のそれぞれが入力されるとともに、認識ユニット 30 を通してメモリユニット 10A

をアクティブ状態に選択する選択信号が入力されるようになっている。アドレスバッファ回路14には、アドレス信号 A_{10} 、 $A_0 \sim A_9$ 、 A_{11} 、バンクセレクト信号 BS_0 、 BS_1 のそれぞれが入力されている。一方、データ出力バッファ回路19においては、データ信号 $DQ_1 \sim DQ_n$ が入出力されるようになっている。

【0043】

識別ユニット30Aは、メモリユニット10Aに個別に与えられた固有識別子とメモリユニット選択信号 CS_1 、 CS_2 とに基づきメモリユニット10Aを選択するメモリユニット選択回路31と、固有識別子に基づいて他のメモリユニット(10B~10D)を識別する他の固有識別子を生成する固有識別子生成回路32とを少なくとも備えて構成されている。

【0044】

ここで、「メモリユニット選択信号 CS_1 、 CS_2 」は、複数のメモリユニット(10A~10D)に個別に供給される選択信号ではなく、複数のメモリユニット(10A~10D)のすべてに供給される同一の選択信号である。従って、半導体装置1においては、このメモリユニット選択信号 CS_1 が供給される選択信号端子311及びメモリユニット選択信号 CS_2 が供給される選択信号端子312の合計2個が配設されるようになっているが、その他の半導体装置1に積層される半導体装置2~4においても同一構造で同一数の選択信号端子311及び312が配設されるようになっている。メモリユニット選択信号 CS_1 、 CS_2 はいずれもロウレベル(例えば信号「0」に相当する。)とハイレベル(例えば信号「1」に相当する。)との1bitの信号として取り扱うことができる。つまり、メモリユニット選択信号 CS_1 及び CS_2 は信号「0, 0」、「0, 1」、「1, 0」及び「1, 1」の合計2bitの情報を有し、この同一の情報は複数のメモリユニット(10A~10D)に供給されるようになっている。

【0045】

本発明の第1の実施の形態に係る半導体装置1においては、4個の半導体装置1~4(メモリユニット10A~10D)の積層を前提としているので、2個の選択信号端子311及び312しか用意されていないが、8個までの半導体装置

(メモリユニット)を積層する場合には3bitのメモリユニット選択信号CS₁～CS₃を供給できる3個の選択信号端子、16個までの半導体装置(メモリユニット)を積層する場合には4bitのメモリユニット選択信号CS₁～CS₄を供給できる4個の選択信号端子を配設すればよい。勿論、本発明においては、16個を越える半導体装置(メモリユニット)を積層する場合には5bit以上のメモリユニット選択信号CS₁～CS_nを供給できる5個以上の選択信号端子を配設することができる。

【0046】

識別ユニット30Aのメモリユニット選択回路31は選択信号端子311及び312に接続されており、この選択信号端子311及び312からメモリユニット選択回路31にメモリユニット選択信号CS₁及びCS₂が供給されている。さらに、メモリユニット選択回路31は固有識別子入力端子321及び322に接続されており、この固有識別子入力端子321及び322からメモリユニット選択回路31にメモリユニット10Aの固有識別子を生成する固有識別子生成信号ID_{in}1及び固有識別子生成信号ID_{in}2が供給されている。

【0047】

固有識別子生成回路32は、メモリユニット10Aの固有識別子を生成する信号が供給される固有識別子入力端子321、322、他のメモリユニット(10B～10D)の他の固有識別子を生成し出力する固有識別子出力端子323、324のそれぞれに接続されている。本発明の第1の実施の形態において、メモリユニット選択信号CS₁及びCS₂が2bitに設定されているので、同様に固有識別子は2bitの情報で設定されている。つまり、固有識別子入力端子321には固有識別子生成信号ID_{in}1が入力され、固有識別子入力端子322には固有識別子生成信号ID_{in}2が入力される。同様に、固有識別子出力端子323からは固有識別子生成信号ID_{out}1が出力され、固有識別子入力端子324からは固有識別子生成信号ID_{out}2が出力される。

【0048】

ここで、「固有識別子」は、メモリユニット(10A～10D)毎に与えられ、情報の書き換え動作や情報の読み出し動作を行うためにアクティブ状態にする

メモリユニット（例えばメモリユニット10A）を選択するのに必要な固有識別情報（固有識番号）である。例えば、メモリユニット10Aの固有識別子として信号「0, 0」が割り与えられている場合、メモリユニット選択信号CS1が信号「0」、メモリユニット選択信号CS2が信号「0」の時に、メモリユニット10Aが選択される（アクティブ状態になる）ようになっている。

【0049】

図2（A）に示すように、固有識別子生成回路32は、インバータ回路325、326、AND回路327、328及びOR回路329を組み合わせた加算回路で構成されている。図2（B）に示す真理値表のように、固有識別子生成回路32は、固有識別子生成信号ID_{in}1として信号「0」が入力され、固有識別子生成信号ID_{in}2として信号「0」が入力される（この信号「0, 0」はメモリユニット10Aの「固有識別子」である。）と、固有識別子生成信号ID_{out}1として信号「0」が出力され、固有識別子生成信号ID_{out}2として加算された信号「1」が出力される。この固有識別子生成信号ID_{out}1及びID_{out}2の「0, 1」は、半導体装置1に積層された次段の半導体装置（2）のメモリユニット（10B）の「固有識別子」として使用される。

【0050】

図3に示すように、メモリユニット選択回路31は、固有識別子生成信号ID_{in}1とメモリユニット選択信号CS1とを比較する比較回路31Aと、固有識別子生成信号ID_{in}2とメモリユニット選択信号CS2とを比較する比較回路31Bと、比較回路31A、比較回路31Bのそれぞれの出力結果を比較する比較回路31Cとを含む、合計3個の比較回路で構成されている。比較回路31A、31B、31Cは、いずれも同一の論理回路構成になっており、インバータ回路315、316、AND回路317、318及びOR回路319を組み合わせて構成されている。すなわち、比較回路31A、31B、31Cは、いずれも、2個の入力信号が同一信号の場合（一致の場合）に信号「1」を出力し、逆に2個の入力信号が非同一の場合（不一致の場合）に信号「0」を出力するようになっている。メモリユニット選択回路31の比較回路31Cから最終的に出力される信号「1」はメモリユニット10Aの選択信号となり、この選択信号はコマン

ドデコーダ回路12に入力される。比較回路31Cから最終的に出力される信号「0」はメモリユニット10Bの非選択信号となる。

【0051】

[半導体モジュールのシステム構造]

本発明の第1の実施の形態に係る半導体モジュール5は、図4に示すように、上記半導体装置1と、この半導体装置1と実質的に同一構造を有し、この半導体層1上に順次積層された半導体装置2～4とを備え、4個の半導体装置1～4を積層して構築されている。すなわち、半導体装置1のメモリユニット10A、半導体装置2のメモリユニット10B、半導体装置3のメモリユニット10C、半導体装置4のメモリユニット10Dのそれぞれが3次元的に積層されている。

【0052】

前述のように、半導体装置1は、メモリユニット10A、共通のメモリユニット選択信号CS1及びCS2が供給される選択信号端子311及び312、識別ユニット30Aを備えており、この半導体装置1上の半導体装置2は、同様に、メモリユニット10B、共通のメモリユニット選択信号CS1及びCS2が供給される選択信号端子311及び312、識別ユニット30Bを備えている。同様に、半導体装置3は、メモリユニット10C、共通のメモリユニット選択信号CS1及びCS2が供給される選択信号端子311及び312、識別ユニット30Cを備えている。半導体装置4は、メモリユニット10D、共通のメモリユニット選択信号CS1及びCS2が供給される選択信号端子311及び312、識別ユニット30Dを備えている。

【0053】

半導体装置1の固有識別子入力端子321、322のそれぞれは、本発明の第1の実施の形態において、実稼働中、基準電源V_{ss}例えば回路接地電位0Vに電氣的に接続されるようになっている。つまり、上記図2(A)及び図2(B)に示すように、半導体装置1においては、固有識別子入力端子321に固有識別子生成信号ID_{in}1として信号「0」、固有識別子入力端子322に固有識別子生成信号ID_{in}2として信号「0」が入力されるようになっているので、固有識別子「0、0」がメモリユニット10Aに与えられる。このメモリユニット

10Aの固有識別子「0、0」は識別ユニット30Aの固有識別子生成回路32により2分の1ビット分加算され、他の固有識別子「0、1」が生成され、この固有識別子「0、1」は固有識別子出力端子323、324のそれぞれから半導体装置2の固有識別子入力端子321、322のそれぞれに入力され、半導体装置2のメモリユニット10Bを識別する固有識別子「0、1」として使用される。以下同様に、半導体装置3のメモリユニット10Cには固有識別子「1、0」が与えられ、半導体装置4のメモリユニット10Dには固有識別子「1、1」が与えられる。これらの固有識別子「0、0」、「0、1」、「1、0」、「1、1」は、基準電源V_{ss}が半導体装置1に入力されると、識別ユニット30A～30Dのそれぞれにより自動的に生成されるようになっている。

【0054】

〔半導体モジュールの具体的な構造（1）〕

次に、半導体モジュールの具体的な第1の構造として、フリップチップ構造を採用する半導体装置を複数積層した半導体モジュールを説明する。図5に示すように、半導体モジュール5は、半導体装置1上に半導体装置2～4のそれぞれを順次積層して構築されている。

【0055】

この半導体モジュール5の最下層に配設された半導体装置1は、パッケージ基板50Aと、このパッケージ基板50A上にフリップチップ構造でマウントされた半導体チップ57Aと、この半導体チップ57Aを外部環境から保護する保護樹脂60Aとを少なくとも備えて構成されている。

【0056】

パッケージ基板50Aは、例えばエポキシ系樹脂、セラミックス等のいわゆる絶縁性配線基板で形成されている。本発明の第1の実施の形態においてはこの層数に限定されるものではないが、パッケージ基板50Aは、表面側に表面電極51Aと裏面側に裏面電極55Aとを備え、表面側に2層の配線52A及び54Aとを備えて構成されている。表面電極51Aと裏面電極55Aとの間はパッケージ基板50Aに配設された接続孔50Hを通して電氣的に接続されている。表面電極51Aと第1層目の配線52Aとは同一配線層に同一導電性材料で形成され

ている。第2の層目の配線54Aは、配線52A上に層間絶縁膜53Aを介在させて配設されており、この層間絶縁膜53Aに形成された接続孔53Hを通して配線52Aに電氣的に接続されている。本発明の第1の実施の形態において、表面電極51A、裏面電極55A、配線52A、配線54Aのそれぞれは例えば銅、銅合金等の導電性に優れた材料で形成されている。

【0057】

図6(A)及び図6(B)には、本発明の第1の実施の形態においてその特徴を理解し易くするために、メモリユニット選択信号CS1、CS2、固有識別子生成信号ID_{in}1、ID_{in}2、ID_{out}1、ID_{out}2のそれぞれを供給する、表面電極51Aの配列パターン、並びに第1層目の配線52A及び第2層目の配線54Aの配線パターンのみが示されている。つまり、メモリユニット選択信号CS1、CS2のそれぞれは、裏面電極55Aから表面電極21A、第1層目の配線52A及び第2層目の配線54Aを通じて半導体チップ57Aに供給されている。同様に、固有識別子生成信号ID_{in}1、ID_{in}2のそれぞれは、裏面電極55Aから表面電極21A、第1層目の配線52A、第2層目の配線54Aのそれぞれを通じて半導体チップ57Aに供給されている。固有識別子生成信号ID_{out}1、ID_{out}2のそれぞれは、半導体チップ57Aから第2層目の配線54Aを通じて、上層に積層された半導体装置2のパッケージ基板50Bの裏面電極55Bに電氣的に接続されている。

【0058】

半導体チップ57Aは例えば単結晶シリコン基板（単結晶シリコンチップ）57Sで形成されている。この半導体チップ57Aの素子形成面には、前述の図1に示すメモリユニット10Aと、識別ユニット30Aとが少なくとも配設されている。半導体チップ57Aの素子形成面は、フリップチップ構造、すなわちフェイスダウン方式により、図5中下側に向けて（パッケージ基板50Aの表面と対向させて）マウントされている。このマウントは、パッケージ基板50Aの第2層目の配線54Aにバンプ電極58Aを介在させて半導体チップ57Aのボンディングパッド57Pを電氣的にかつ機械的に接続することにより行われている。バンプ電極58Aには、例えば半田バンプ電極、金バンプ電極等を実用的に使用

することができる。

【0059】

保護樹脂60Aは、半導体チップ57Aの素子形成面に水の浸入や重金属等の汚染物質の侵入がないように保護するために配設されている。この保護樹脂60Aには、例えば滴下塗布法（ポッティング法）で形成されたポリイミド系樹脂を実用的に使用することができる。

【0060】

半導体装置1上に積層される半導体装置2～4は、基本的には半導体装置1と実質的に同一構造で構成されており、図5、図6（A）及び図6（B）で説明した半導体装置1の構成に付与した符号の末尾の記号「A」を、半導体装置2において「B」、半導体装置3において「C」、半導体装置4において「D」として付け替え、半導体装置2～4のここでの説明は重複するので省略する。例えば、半導体装置1において「半導体チップ57A」、半導体装置2において「半導体チップ57B」、半導体装置3において「半導体チップ57C」、半導体装置4において「半導体チップ57D」のそれぞれは、符号の末尾の記号が違っただけで実質的に同一構造で構成されている。

【0061】

そして、半導体モジュール5は、半導体装置1のパッケージ基板50Aの第2の配線54A（端部においては表面電極51Aと同様に表面電極として使用されている。）上にバンプ電極59を介在させて半導体装置2のパッケージ基板50Bの裏面電極55Bに電気的かつ機械的に接続され、半導体装置2のパッケージ基板50Bの第2の配線54B上にバンプ電極59を介在させて半導体装置3のパッケージ基板50Cの裏面電極55Cに電気的かつ機械的に接続され、半導体装置3のパッケージ基板50Cの第2の配線54C上にバンプ電極59を介在させて半導体装置4のパッケージ基板50Dの裏面電極55Dに電気的かつ機械的に接続されることにより、構築されている。半導体装置1の配線54A（表面電極）、裏面電極55A、半導体装置2の配線54B（表面電極）、裏面電極55B、半導体装置3の配線54C（表面電極）、裏面電極55C、半導体装置4の配線54D（表面電極）、裏面電極55Dはいずれも積層方向の同一位置に配設

されている。バンプ電極 5 9 には例えば半田バンプ電極を実用的に使用することができる。

【 0 0 6 2 】

なお、本発明に係る「選択信号端子」は、前述の図 1 に示す半導体装置 1 においては選択信号端子 3 1 1、3 1 2 であり、図 5 に示すパッケージ構造化された半導体装置 1 においては、外部から最初にメモリユニット選択信号 C S 1、C S 2 が入力される裏面電極 5 5 A と、内部から最後にメモリユニット選択信号 C S 1、C S 2 が出力される第 2 層目の配線（表面電極）5 4 A とである。

【 0 0 6 3 】

また、半導体装置 1 のパッケージ基板 5 0 A、半導体装置 2 のパッケージ基板 5 0 B、半導体装置 3 のパッケージ基板 5 0 C、半導体装置 4 のパッケージ基板 5 0 D は、いずれも表面側、裏面側に 1 層ずつの配線を備え、合計 2 層配線構造としてもよい。

【 0 0 6 4 】

[半導体モジュールの具体的な構造 (2)]

次に、半導体モジュールの具体的な第 2 の構造として、テープキャリアパッケージ (TCP) 構造を採用する半導体装置を複数積層した半導体モジュールを説明する。図 7 に示すように、半導体モジュール 5 は、半導体装置 1 上に半導体装置 2 ～ 4 のそれぞれを順次積層して構築されている。

【 0 0 6 5 】

この半導体モジュール 5 の最下層に配設された半導体装置 1 は、ベース基板 7 0 A と、このベース基板 7 0 A にテープキャリア構造でマウントされた半導体チップ 7 3 A と、この半導体チップ 7 3 A を外部環境から保護する封止樹脂 7 5 A とを少なくとも備えて構成されている。

【 0 0 6 6 】

ベース基板 7 0 A は、例えば非フレキシブル性のエポキシ系樹脂、フレキシブル性のポリイミド系樹脂等のいわゆる絶縁性配線基板で形成されている。ベース基板 7 0 A は、表面側に 1 層のリード配線 7 1 A を備え、裏面側に裏面電極 7 2 A を備えている。リード配線 7 1 A と裏面電極 7 2 A との間はベース基板 7 0 A

に形成された接続孔 7 0 H を通して電氣的に接続されている。リード配線 7 1 A、裏面電極 7 2 A のそれぞれは例えば銅、銅合金等の導電性に優れた導電性材料を主体として形成されている。また、リード配線 7 1 A には、リード配線材料として多用されている例えば 4 2 アロイ、5 0 アロイ等の鉄ニッケル合金を実用的に使用することができる。

【 0 0 6 7 】

半導体チップ 7 3 A は、上記半導体モジュールの具体的な構造 (1) において説明した半導体チップ 5 7 A と同様に、例えば単結晶シリコン基板 7 3 S で形成されている。この半導体チップ 7 3 A の素子形成面には前述の図 1 に示すメモリユニット 1 0 A と、識別ユニット 3 0 A とが少なくとも配設されている。半導体チップ 7 3 A の素子形成面は、フェイスアップ方式により、図 7 中上側に向けてマウントされている。このマウントは、ベース基板 7 0 A のリード配線 7 1 A のインナーリード (フィンガーリード) 下にバンパ電極 7 4 A を介在させて半導体チップ 7 3 A のボンディングパッド 7 3 P を電氣的にかつ機械的に接続することにより行われている。バンパ電極 7 4 A には、例えば半田バンパ電極、金バンパ電極等を実用的に使用することができる。

【 0 0 6 8 】

封止樹脂 7 5 A は、半導体チップ 7 3 A の素子形成面に水の浸入や重金属等の汚染物質の侵入がないように保護するために、半導体チップ 7 3 A を外部から気密に封止するようになっている。この封止樹脂 7 5 A には、例えばトランスファモールド法 (レジンモールド法) で形成された熱硬化性エポキシ系樹脂を実用的に使用することができる。

【 0 0 6 9 】

半導体装置 1 上に積層される半導体装置 2 ～ 4 は、基本的には半導体装置 1 と実質的に同一構造で構成されており、図 7 において半導体装置 1 の構成に付与した符号の末尾の記号「 A 」を、半導体装置 2 において「 B 」、半導体装置 3 において「 C 」、半導体装置 4 において「 D 」として付け替え、半導体装置 2 ～ 4 のここでの説明は重複するので省略する。例えば、半導体装置 1 において「半導体チップ 7 3 A」、半導体装置 2 において「半導体チップ 7 3 B」、半導体装置 3

において「半導体チップ 7 3 C」、半導体装置 4 において「半導体チップ 7 3 D」のそれぞれは、符号の末尾の記号が違っただけで実質的に同一構造で構成されている。

【 0 0 7 0 】

半導体装置 1 とその上層の半導体装置 2 との間には中間配線基板 8 A が、半導体装置 2 とその上層の半導体装置 3 との間には中間配線基板 8 B が、半導体装置 3 とその上層の半導体装置 4 との間には中間配線基板 8 C がそれぞれ配設されており、上下半導体装置間の電気的かつ機械的な接続を行うことにより、半導体モジュール 5 が構築されている。なお、本発明に係る「選択信号端子」の意味は上記と同様である。

【 0 0 7 1 】

中間配線基板 8 A は、絶縁性基板 8 0 A と、この絶縁性基板 8 0 A の表面側の第 1 層目の配線 8 1 A と、この第 1 層目の配線 8 1 A 上の第 2 層目の配線 8 3 A と、絶縁性基板 8 0 A の裏面側の裏面電極 8 4 A とを少なくとも備えて構成されている。第 2 層目の配線 8 3 A は、第 1 層目の配線 8 1 A 上に層間絶縁膜 8 2 A を介在させて配設されており、この層間絶縁膜 8 2 A に形成された接続孔 8 2 H を通して第 1 層目の配線 8 1 A に電気的に接続されている。第 1 層目の配線 8 1 A と裏面電極 8 4 A との間は絶縁性基板 8 0 A に形成された接続孔 8 0 H を通して電気的に接続されている。絶縁性基板 8 0 A は、例えばエポキシ系樹脂、セラミックス等の配線基板材料で形成されている。第 1 層目の配線 8 1 A、第 2 層目の配線 8 3 A、裏面電極 8 4 A のそれぞれは、例えば銅、銅合金等の導電性に優れた導電性材料で形成されている。

【 0 0 7 2 】

この中間配線基板 8 A の裏面電極 8 4 A は、半導体装置 1 のリード配線 7 1 A にバンプ電極 7 6 を介在させて電気的かつ機械的に接続されている。中間配線基板 8 A の第 2 層目の配線 8 3 A は、上層に積層された半導体装置 2 のベース基板 7 0 B の裏面電極 7 2 B にバンプ電極 7 7 を介在させて電気的かつ機械的に接続されている。バンプ電極 7 6、7 7 には、例えば半田バンプ電極を実用的に使用することができる。

【0073】

半導体装置1～4と同様に、中間配線基板8A上の中間配線基板8B、8Cのそれぞれは、基本的には中間配線基板8Aと実質的に同一構造で構成されており、図7において中間配線基板8Aの構成に付与した符号の末尾の記号「A」を、中間配線基板8Bにおいて「B」、中間配線基板8Cにおいて「C」として付け替え、中間配線基板8B、8Cのここでの説明は重複するので省略する。例えば、中間配線基板8Aにおいて「絶縁性基板80A」、中間配線基板8Bにおいて「絶縁性基板80B」、中間配線基板8Cにおいて「絶縁性基板80C」のそれぞれは、符号の末尾の記号が違っただけで実質的に同一構造で構成されている。

【0074】

図8(A)及び図8(B)には、本発明の第1の実施の形態においてその特徴を理解し易くするために、固有識別子生成信号 ID_{in1} 、 ID_{in2} 、 ID_{out1} 、 ID_{out2} のそれぞれを供給する、中間配線基板8Aの第1層目の配線81A並びに第2層目の配線83Aの配線パターンのみが示されている。つまり、半導体装置1の半導体チップ73Aのボンディングパッド73P（固有識別子出力端子323、324）から出力される固有識別子生成信号 ID_{out1} 、 ID_{out2} のそれぞれは、リード配線71A及びバンプ電極76を通して、中間配線基板8Aの裏面電極84Aに入力される。この入力された固有識別子生成信号 ID_{out1} 、 ID_{out2} のそれぞれは、図8(A)に示す第1層目の配線81A、図8(B)に示す第2層目の配線83Aを通して、半導体装置2のベース基板70Bの裏面電極72Bに供給されるようになっている。

【0075】

[情報書き込み動作並びに情報読み出し動作]

次に、図9を使用して、本発明の第1の実施の形態に係る半導体装置1～4及び半導体モジュール5の情報書き込み動作並びに情報読み出し動作を説明する。ここでは、半導体モジュール5の半導体装置1が選択され、この半導体装置1のメモリユニット10Aの情報書き込み動作並びに情報読み出し動作について説明する。

【0076】

(1) バンクアクティブ動作

まず、図1に示す半導体モジュール5の半導体装置1において、アドレスバッファ回路14にアドレス信号 $A_0 \sim A_{11}$ が入力され、このアドレス信号 $A_0 \sim A_{11}$ からロウアドレス信号(12bit)が設定される(図9中のステップ400。以下同様。)。コマンドデコーダ回路12にロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEが入力される。ここで、アドレス信号 $A_0 \sim A_{11}$ 、ロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEは、半導体モジュール5を構築する半導体装置1～4に共通に入力される信号であり、半導体装置1に入力されると同様に、他の半導体装置2～4にも入力される。

【0077】

半導体装置1において、入力されたロウアドレスストロブ信号RASがロウレベル「L」、カラムアドレスストロブ信号CASがハイレベル「H」、ライトイネーブル信号WEがハイレベル「H」の場合(ステップ401)、識別ユニット30Aのメモリユニット選択回路31により、メモリユニット選択信号CS1及びCS2と、固有識別子生成回路32で生成された固有識別子とが比較され、メモリユニット10Aの選択、非選択が決定される(ステップ402)。ここで、前述のように半導体装置1においては、固有識別子生成信号 $ID_{in}1$ として信号「0」、固有識別子生成信号 $ID_{in}2$ として信号「0」のそれぞれが入力され、固有識別子「0、0」が設定されているので、メモリユニット選択信号CS1として信号「0」、メモリユニット選択信号CS2として信号「0」が入力されると、固有識別子「0、0」とメモリユニット選択信号「0、0」とが一致し、メモリユニット選択回路31によりメモリユニット10Aが選択される(アクティブ状態になる。)。半導体装置1の固有識別子とメモリユニット選択信号CS1及びCS2とが一致しない場合、メモリユニット10Aは選択されない。

【0078】

引き続き、アドレスバッファ回路14にバンクセレクト信号BS0、BS1が入力され(ステップ403)、このバンクセレクト信号BS0、BS1によりメ

メモリバンク 2 1、2 2、2 3 又は 2 4 のいずれかが選択（アクティブ状態に）される。例えば、仮にメモリバンク 2 1 が選択されたことにする。ここで、上記半導体装置 1 の固有識別子とメモリユニット選択信号 C S とが一致していない場合、すなわちメモリユニット 1 0 A が選択されていない場合、メモリバンク 2 1 が選択されても、情報書き込み動作並びに情報読み出し動作は行われない。選択されたメモリバンク 2 1 にはロウアドレス信号が入力される。

【 0 0 7 9 】

（ 2 ） 情報書き込み動作及び情報読み出し動作

選択されたメモリユニット 1 0 A のメモリバンク 2 1 において、アドレスバッファ回路 1 4 に入力されたアドレス信号 A₀ ～ A₇ に基づいてカラムアドレス信号（ 8 b i t ）が入力される（ステップ 4 0 4）。コマンドデコーダ回路 1 2 にロウアドレスストローブ信号 R A S、カラムアドレスストローブ信号 C A S、ライトイネーブル信号 W E が入力される。ここで、ロウアドレスストローブ信号 R A S がハイレベル「 H」、カラムアドレスストローブ信号 C A S がロウレベル「 L」、ライトイネーブル信号 W E がハイレベル「 H」の場合（ステップ 4 0 5、4 0 6）、選択されたメモリバンク 2 1 のメモリセルアレイ 2 0 0 において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに記憶された情報が読み出される（ステップ 4 0 7）。情報はデータ信号 D Q としてデータ出力バッファ回路 1 9 から出力される。一方、ライトイネーブル信号 W E がロウレベル「 L」である場合、選択されたメモリバンク 2 1 のメモリセルアレイ 2 0 0 において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに情報が書き込まれる（ステップ 4 0 8）。メモリセルに書き込まれる情報は、データ信号 D Q としてデータ出力バッファ回路 1 9 に入力される。

【 0 0 8 0 】

このように、情報書き込み動作及び情報読み出し動作の対象となる半導体装置 1 のメモリユニット 1 0 A は、識別ユニット 3 0 A で与えられる固有識別子「 0、0」とメモリユニット選択信号 C S 1 及び C S 2 とにより選択される。同様に、半導体装置 2 のメモリユニット 1 0 B は識別ユニット 3 0 B で与えられる固有

識別子「0、1」とメモリユニット選択信号CS1及びCS2とにより選択され、半導体装置3のメモリユニット10Cは識別ユニット30Cで与えられる固有識別子「1、0」とメモリユニット選択信号CS1及びCS2とにより選択され、そして半導体装置4のメモリユニット10Dは識別ユニット30Dで与えられる固有識別子「1、1」とメモリユニット選択信号CS1及びCS2とにより選択される。

【0081】

このように構成される本発明の第1の実施の形態に係る半導体装置1～4においては、選択信号端子311、312から供給される共通のメモリユニット選択信号CS1、CS2に基づき、認識ユニット30A～30Dによりメモリユニット10A～10Dを識別するようにしたので、選択信号端子CS1、CS2数を削減することができ、この選択信号端子CS1、CS2数、選択信号端子CS1、CS2の配列形態等を複数のメモリユニット10A～10Dの間で同一構造とすることができる。従って、選択信号端子CS1、CS2数の削減に相当する分の装置サイズを縮小することができ、小型化を実現することができるとともに、メモリユニット10A～10Dを複数積層することができる半導体装置1～4を実現することができる。

【0082】

さらに、本発明の第1の実施の形態に係る半導体装置1～4においては、メモリユニット選択回路31によりメモリユニット10A～10Dに与えられた固有識別子とメモリユニット選択信号CS1、CS2とに基づきメモリユニット10A～10Dを簡易に選択することができ、さらに固有識別子生成回路32により例えば1つのメモリユニット10Aに与えられた固有識別子「0、0」から他の上層のメモリユニット10Bを識別する別の固有識別子「0、1」を自動的に形成することができる。

【0083】

さらに、本発明の第1の実施の形態に係る半導体モジュール5においては、本発明の第1の実施の形態に係る半導体装置1～4で得られる効果に加えて、複数のメモリユニット10A～10D（半導体装置1～4）を積層することができる

ので、大記憶容量化、高実装密度化を実現することができる。本発明の第 1 の実施の形態に係る半導体モジュール 5 においては、4 個の半導体装置 1 ～ 4 を積層した場合を説明したが、8 個の半導体装置、16 個の半導体装置と半導体装置の積層数が増加するに従い大幅な端子数の削減を実現することができる。

【 0 0 8 4 】

なお、本発明の第 1 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 においては、メモリユニット 10A ～ 10D を高さ方向に複数積層することについて説明したが、メモリユニット 10A ～ 10D を同一平面上に配列する場合においても同様な効果を得ることができる。

【 0 0 8 5 】

(第 2 の実施の形態)

[半導体モジュールのシステム構造]

本発明の第 2 の実施の形態は、本発明の第 1 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 において、アドレス信号端子の余剰信号端子（又は余剰信号線）を、メモリユニット選択信号 CS が供給される選択信号端子（又はメモリユニット選択信号線）として使用した例を説明するものである。

【 0 0 8 6 】

図 10 に示す本発明の第 2 の実施の形態に係る半導体モジュール 5 は、前述の図 4 に示す本発明の第 1 の実施の形態に係る半導体モジュール 5 と同様に、半導体装置 1 と、この半導体装置 1 と実質的に同一構造を有し、この半導体装置 1 上に順次積層された半導体装置 2 ～ 4 とを備え、4 個の半導体装置 1 ～ 4 を積層して構築されている。すなわち、半導体装置 1 のメモリユニット 10A、半導体装置 2 のメモリユニット 10B、半導体装置 3 のメモリユニット 10C、半導体装置 4 のメモリユニット 10D のそれぞれが 3 次元的に積層されている。

【 0 0 8 7 】

ここで、本発明の第 2 の実施の形態に係る半導体モジュール 5 において、半導体装置 1 には、実効的に 1 b i t の共通のメモリユニット選択信号 CS 1 が供給される 1 個の選択信号端子 3 1 1 が配設されている。すなわち、他の 1 b i t の共通のメモリユニット選択信号 CS 2 には共通のアドレス信号の余剰アドレス信

号が使用され、共通のメモリユニット選択信号CS2が供給される選択信号端子312にはアドレス信号端子の余剰信号端子が使用されるようになっている。同様に、半導体装置2～4においても、共通のメモリユニット選択信号CS1が供給される1個の選択信号端子311が配設されるだけである。

【0088】

余剰信号端子は、アドレス信号端子のうち、実際に使用していない余分な信号端子である。例えば、メモリユニット10A～10Dのそれぞれに64Mbitの記憶容量を有する場合、アドレス信号端子はアドレス信号A₀～A₁₂に対応して合計13個配設されているが、実際にはロウアドレス信号としてアドレス信号A₀～A₁₁が使用され、アドレス信号A₁₂が供給されるアドレス信号端子は余剰信号端子として使用されていない。さらに、コラムアドレス信号としてアドレス信号A₀～A₇が使用され、アドレス信号A₈以降が供給されるアドレス信号端子は余剰信号端子として使用されていない。本発明の第2の実施の形態に係る半導体装置1～4においては、アドレス信号A₁₂及びアドレス信号A₁₂が供給される余剰信号端子が、共通のメモリユニット選択信号CS2及びそれが供給される選択信号端子312として使用されている。さらに、アドレス信号A₈及びアドレス信号A₈が供給される余剰信号端子が、共通のメモリユニット選択信号CS及びそれが供給される選択信号端子312として使用されている。

【0089】

[情報書き込み動作並びに情報読み出し動作]

次に、図11を使用して、本発明の第2の実施の形態に係る半導体装置1～4及び半導体モジュール5の情報書き込み動作並びに情報読み出し動作を説明する。ここでは、半導体モジュール5の半導体装置1が選択され、この半導体装置1のメモリユニット10Aの情報書き込み動作並びに情報読み出し動作について説明する。

【0090】

(1) バンクアクティブ動作

まず、半導体モジュール5の半導体装置1において、アドレスバッファ回路14にアドレス信号A₀～A₁₂が入力され（前述の図1参照。）、このアドレス

信号 $A_0 \sim A_{12}$ からロウアドレス信号(13bit)が設定される(図11中のステップ500。以下同様。)。コマンドデコーダ回路12にロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEが入力される。ここで、アドレス信号 $A_0 \sim A_{12}$ 、ロウアドレスストロブ信号RAS、カラムアドレスストロブ信号CAS、ライトイネーブル信号WEは、半導体モジュール5を構築する半導体装置1~4に共通に入力される信号であり、半導体装置1に入力されると同様に、他の半導体装置2~4にも入力される。

【0091】

半導体装置1において、入力されたロウアドレスストロブ信号RASがロウレベル「L」、カラムアドレスストロブ信号CASがハイレベル「H」、ライトイネーブル信号WEがハイレベル「H」の場合(ステップ501)、図10(及び前述の図1、図2(A)及び図3)に示すように、識別ユニット30Aのメモリユニット選択回路31により、メモリユニット10Aの選択、非選択が決定される(ステップ502)。ここで、メモリユニット選択回路31においては、メモリユニット選択信号CS1と、メモリユニット選択信号CS2に代えて使用するアドレス信号 A_{12} と、固有識別子生成信号 ID_{in1} 及び固有識別子生成信号 ID_{in2} で生成された固有識別子とにより、メモリユニット10Aの選択、非選択が決定される。

【0092】

引き続き、アドレスバッファ回路14にバンクセレクト信号BS0、BS1が入力され(ステップ503)、このバンクセレクト信号BS0、BS1によりメモリバンク21、22、23又は24のいずれかが選択(アクティブ状態に)される(前述の図1参照。)。例えば、仮にメモリバンク21が選択されたことにする。ここで、上記半導体装置1の固有識別子とメモリユニット選択信号CSとが一致していない場合、すなわちメモリユニット10Aが選択されていない場合、メモリバンク21が選択されても、情報書き込み動作並びに情報読み出し動作は行われない。ここで、バンクセレクト信号BS0、BS1によりメモリバンク21が選択状態にある情報が、半導体装置1のメモリユニット10Aに配設され

たモードレジスタ回路 1 5 に記憶される（前述の図 1 参照。）。選択されたメモリバンク 2 1 にはロウアドレス信号 $A_0 \sim A_{11}$ が入力される。

【 0 0 9 3 】

（ 2 ） 情報書き込み動作及び情報読み出し動作

選択されたメモリユニット 1 0 A のメモリバンク 2 1 において、アドレスバッファ回路 1 4 に入力されたアドレス信号 $A_0 \sim A_8$ に基づいてカラムアドレス信号（ 9 b i t ）が入力される（ステップ 5 0 4 ）。コマンドデコーダ回路 1 2 にロウアドレスストロブ信号 R A S 、カラムアドレスストロブ信号 C A S が入力される。ここで、ロウアドレスストロブ信号 R A S がハイレベル「 H 」、カラムアドレスストロブ信号 C A S がロウレベル「 L 」の場合（ステップ 5 0 5 ）、引き続き最上位のカラムアドレス信号 A_8 と固有識別子生成信号 ID_{in1} とが比較されるとともに、モードレジスタ回路 1 5 に記憶された情報を参照する（ステップ 5 0 6 ）。カラムアドレス信号 A_8 と固有識別子生成信号 ID_{in1} とが一致しており、さらにモードレジスタ回路 1 5 に記憶されたメモリバンク 2 1 が選択状態である場合には、ライトイネーブル信号 W E が入力され（ステップ 5 0 7 ）、ライトイネーブル信号 W E がハイレベル「 H 」の場合、選択されたメモリバンク 2 1 のメモリセルアレイ 2 0 0 において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに記憶された情報が読み出される（ステップ 5 0 8 ）。情報はデータ信号 D Q としてデータ出力バッファ回路 1 9 から出力される。一方、ライトイネーブル信号 W E がロウレベル「 L 」である場合、選択されたメモリバンク 2 1 のメモリセルアレイ 2 0 0 において、上記ロウアドレス信号とカラムアドレス信号とで選択されたアドレス番地のメモリセルに情報が書き込まれる（ステップ 5 0 9 ）。メモリセルに書き込まれる情報は、データ信号 D Q としてデータ出力バッファ回路 1 9 に入力される。

【 0 0 9 4 】

情報書き込み動作及び情報読み出し動作の対象となる半導体装置 1 のメモリユニット 1 0 A は、識別ユニット 3 0 A で与えられる固有識別子と、メモリユニット選択信号 C S 1 と、メモリユニット選択信号 C S 2 に代えて使用された余剰信号としてのアドレス信号 A_{12} とにより選択される。半導体装置 2 のメモリユニ

ット10B、半導体装置3のメモリユニット10C、そして半導体装置4のメモリユニット10Dのそれぞれも、半導体装置1のメモリユニット10Aと同様に選択され、情報書き込み動作並びに情報読み出し動作が行われる。

【0095】

このように構成される本発明の第2の実施の形態に係る半導体装置1～4並びに半導体モジュール5においては、アドレス信号 $A_0 \sim A_{12}$ の余剰アドレス信号 A_{12} が供給される余剰信号端子をメモリユニット選択信号CS2が供給される選択信号端子として有効に利用することにより、選択信号端子数をより一層削減することができるので、装置サイズを縮小し、より一層の小型化を実現することができる。

【0096】

[応用例]

本発明の第2の実施の形態に係る半導体装置1～4のそれぞれは、半導体モジュール5を構築しない場合、図12に示すように、固有識別子生成信号 ID_{in1} の代わりにカラムアドレス信号 A_8 を供給し、固有識別子生成信号 ID_{in2} の代わりにロウアドレス信号 A_{12} を供給することにより、カラムアドレス信号 A_8 、ロウアドレス信号 A_{12} に関係なく情報書き込み動作及び情報読み出し動作を単独で実行することができる。

【0097】

(第3の実施の形態)

本発明の第3の実施の形態は、本発明の第1又は第2の実施の形態に係る半導体装置1～4並びに半導体モジュール5において、識別ユニット30A～30Dの固有識別子生成回路をヒューズ素子で構成した例を説明するものである。

【0098】

本発明の第3の実施の形態に係る半導体装置1の識別ユニット30Aは、図13に示すように、メモリユニット10Aに与える固有識別子を生成するヒューズ素子341及び342を少なくとも有する固有識別子生成回路34と、この固有識別子生成回路34により生成された固有識別子とメモリユニット選択信号CS1、CS2とに基づきメモリユニット10Aを選択するメモリユニット選択回路

31とを少なくとも備えて構成されている。

【0099】

メモリユニット選択回路31は、前述の本発明の第1の実施の形態に係る図3に示すメモリユニット選択回路31と同一構造で構成されており、ここでの説明は重複するので省略する。

【0100】

ヒューズ素子341の一端側は基準電源 V_{ss} 例えば回路接地電位0Vに電氣的に接続され、他端側はヒューズ素子341よりも高抵抗の高抵抗素子343を通して動作電源 V_{cc} 例えば回路動作電位3.3Vに電氣的に接続されるとともにメモリユニット選択回路31に電氣的に接続されている。ヒューズ素子341が導通状態の場合、基準電源 V_{ss} からヒューズ素子341を通してメモリユニット選択回路31に固有識別子の信号「0」を供給することができる。逆に、ヒューズ素子341が非導通状態の場合、動作電源 V_{cc} から高抵抗素子343を通してメモリユニット選択回路31に固有識別子の信号「1」を供給することができる。

【0101】

同様に、ヒューズ素子342の一端側は基準電源 V_{ss} に電氣的に接続され、他端側はヒューズ素子342よりも高抵抗の高抵抗素子344を通して動作電源 V_{cc} に電氣的に接続されるとともにメモリユニット選択回路31に電氣的に接続されている。ヒューズ素子342が導通状態の場合、基準電源 V_{ss} からヒューズ素子342を通してメモリユニット選択回路31に固有識別子の信号「0」を供給することができる。逆に、ヒューズ素子342が非導通状態の場合、動作電源 V_{cc} から高抵抗素子344を通してメモリユニット選択回路31に固有識別子の信号「1」を供給することができる。

【0102】

すなわち、ヒューズ素子342及び342により「0、0」、「0、1」、「1、0」、「1、1」の4通りの固有識別子を生成することができる。半導体モジュール5を構築する他の半導体装置2の識別ユニット30B、半導体装置3の識別ユニット30C、半導体装置4の識別ユニット30Dのそれぞれは、半導体

装置 1 の識別ユニット 30A と同様に、ヒューズ素子 341 及び 342 を有する固有識別子生成回路 34 とメモリユニット選択回路 31 とを備えて構成されている。

【0103】

DRAM の 1 b i t の情報を記憶するメモリセルは、例えばメモリセル選択用の絶縁ゲート型電界効果トランジスタ (I G F E T) と情報蓄積用容量素子との直列回路で構成されており、ヒューズ素子 341 及び 342 は、いずれも例えば I G F E T のゲート電極と同一導電層 (例えばシリコン多結晶膜) で形成することができる。

【0104】

ヒューズ素子 341 及び 342 は、例えば電氣的切断方式、レーザ切断方式等で容易に切断することができる。図 13 中、符号 345 はパッシベーション膜に配設されたヒューズ開口窓であり、ヒューズ開口窓 345 はレーザビームの通過窓、ヒューズ素子 341 及び 342 のいずれかを切断した際に発生する物質の除去等に使用されている。

【0105】

このように構成される本発明の第 3 の実施の形態に係る半導体装置 1 ~ 4 並びに半導体モジュール 5 においては、本発明の第 1 の実施の形態に係る半導体装置 1 ~ 4 並びに半導体モジュール 5 で得られる効果に加えて、例えば論理回路の構成に比べて簡易な構造のヒューズ素子 341 及び 342 で固有識別子を生成することができるので、識別ユニット 30A ~ 30D の構成を簡易に実現することができる。

【0106】

(第 4 の実施の形態)

本発明の第 4 の実施の形態は、本発明の第 1 又は第 2 の実施の形態に係る半導体装置 1 ~ 4 並びに半導体モジュール 5 において、識別ユニット 30A ~ 30D の固有識別子生成回路をワイヤで構成した例を説明するものである。

【0107】

本発明の第 4 の実施の形態に係る半導体装置 1 の識別ユニット 30A は、図 1

4に示すように、メモリユニット10Aに与える固有識別子を生成するワイヤ351及び352を少なくとも有する固有識別子生成回路35と、この固有識別子生成回路35により生成された固有識別子とメモリユニット選択信号CS1、CS2とに基づきメモリユニット10Aを選択するメモリユニット選択回路31とを少なくとも備えて構成されている。

【0108】

メモリユニット選択回路31は、前述の本発明の第1の実施の形態に係る図3に示すメモリユニット選択回路31と同一構造で構成されており、ここでの説明は重複するので省略する。

【0109】

ワイヤ351の一端側は固有識別子入力端子353に電氣的に接続され、この固有識別子入力端子353はメモリユニット選択回路31に電氣的に接続されている。ワイヤ351の他端側は、例えば固有識別子の信号「0」の場合には基準電源端子(Vss)355に、固有識別子の信号「1」の場合には動作電源端子(Vcc)356に電氣的に接続されるようになっている。すなわち、ワイヤ351は、固有識別子生成信号ID_{in}1を固有識別子入力端子353を通してメモリユニット選択回路31に供給するようになっている。

【0110】

同様に、ワイヤ352の一端側は固有識別子入力端子354に電氣的に接続され、この固有識別子入力端子354はメモリユニット選択回路31に電氣的に接続されている。ワイヤ352の他端側は、例えば固有識別子の信号「0」の場合には基準電源端子(Vss)355に、固有識別子の信号「1」の場合には動作電源端子(Vcc)356に電氣的に接続されるようになっている。ワイヤ352は、固有識別子生成信号ID_{in}2を固有識別子入力端子354を通してメモリユニット選択回路31に供給するようになっている。

【0111】

ここで、ワイヤ351、352のそれぞれには例えばボンディングワイヤを実用的に使用することができる。このボンディングワイヤには、金ワイヤ、銅ワイヤ、アルミニウムワイヤ等が少なくとも含まれる。基準電源端子355、動作電

源端子 3 5 6 には、例えば固有識別子入力端子 3 5 3、3 5 4 のそれぞれと同様に半導体チップ内において形成されるボンディングパッド、半導体チップ外に配設されるリードフレームやリード配線等が少なくとも含まれる。

【0 1 1 2】

ワイヤ 3 5 1、3 5 2 により「0、0」、「0、1」、「1、0」、「1、1」の 4 通りの固有識別子を生成することができる。半導体モジュール 5 を構築する他の半導体装置 2 の識別ユニット 3 0 B、半導体装置 3 の識別ユニット 3 0 B、半導体装置 4 の識別ユニット 3 0 D のそれぞれは、半導体装置 1 の識別ユニット 3 0 A と同様に、ワイヤ 3 5 1、3 5 2 を有する固有識別子生成回路 3 5 とメモリユニット選択回路 3 1 備えて構成されている。

【0 1 1 3】

このように構成される本発明の第 4 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 においては、本発明の第 1 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 で得られる効果に加えて、例えば論理回路の構成に比べて簡易な構造のワイヤ 3 5 1、3 5 2 で固有識別子を生成することができるので、識別ユニット 3 0 A ～ 3 0 D の構成を簡易に実現することができる。

【0 1 1 4】

(第 5 の実施の形態)

本発明の第 5 の実施の形態は、前述の本発明の第 2 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 において、メモリユニットに対して識別ユニットを分離させた例を説明するものである。本発明の第 5 の実施の形態に係る半導体モジュール 5 は、図 1 5 に示すように、複数のメモリユニット 1 0 A ～ 1 0 D と、この複数のメモリユニット 1 0 A ～ 1 0 D に共通のメモリユニット選択信号 C S 1 が供給される選択信号端子と、メモリユニット選択信号 C S 2 として使用される余剰のロウアドレス信号 A_{1 2} が供給される余剰信号端子と、メモリユニット 1 0 A ～ 1 0 D に外付けされ、共通のメモリユニット選択信号 C S 1 及びロウアドレス信号 A_{1 2} に基づき、メモリユニット 1 0 A ～ 1 0 D のそれぞれを識別させる識別ユニット 3 0 A ～ 3 0 D とを備えて構築されている。

【0 1 1 5】

メモリユニット 1 0 A を有する半導体装置 1 には、識別ユニット 3 0 A を有する別の半導体装置 1 A が電氣的に接続されている。半導体装置 1 A から半導体装置 1 には、少なくともメモリユニット選択信号 C S、バンクセレクト信号 B S が供給されるようになっている。半導体装置 1 と半導体装置 1 A とは、少なくとも別々の半導体チップで形成されているが、個別にパッケージングされていても、マルチチップモジュール構造のように共通の基板上に実装され一体的にパッケージングされていても、いずれの構造で構成されてもよい。

【 0 1 1 6 】

同様に、メモリユニット 1 0 B を有する半導体装置 2 には識別ユニット 3 0 B を有する別の半導体装置 2 A が電氣的に接続され、メモリユニット 1 0 C を有する半導体装置 3 には識別ユニット 3 0 C を有する別の半導体装置 3 A が電氣的に接続され、メモリユニット 1 0 D を有する半導体装置には、識別ユニット 3 0 D を有する別の半導体装置 4 A が電氣的に接続されている。

【 0 1 1 7 】

本発明の第 5 の実施の形態に係る半導体モジュール 5 の情報書き込み動作並びに情報読み出し動作は、前述の本発明の第 2 の実施の形態に係る半導体モジュール 5 の情報書き込み動作並びに情報読み出し動作と同等であるので、ここでの説明は重複するので省略する。

【 0 1 1 8 】

このように構成される本発明の第 5 の実施の形態に係る半導体装置 1 ～ 4 並びに半導体モジュール 5 においては、本発明の第 1 の特徴に係る半導体装置 1 並びに半導体モジュール 5 で得られる効果に加えて、識別ユニット 3 0 A ～ 3 0 D を外付けとしたことで、システム構築の自由度を高めることができる。さらに、メモリユニット 1 0 A ～ 1 0 D、識別ユニット 3 0 A ～ 3 0 D のそれぞれを、別々に独立して製作することができる。

【 0 1 1 9 】

(その他の実施の形態)

本発明は上記複数の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示か

ら当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0120】

例えば、本発明は、上記第1の実施の形態乃至第5の実施の形態に係るメモリユニット10A～10Dを情報書き換え可能な機能を有するユニット、又は情報の読み出し専用の機能を有するユニットに置き代えることができる。情報書き換え可能な機能を有するユニットには、SRAM等の揮発性メモリが少なくとも含まれる。情報の読み出し専用の機能を有するユニットには、ROM、EPROM、EEPROM等の不揮発性メモリが少なくとも含まれる。

【0121】

さらに、上記第1の実施の形態乃至第5の実施の形態に係るメモリユニット10A～10Dは、情報の書き込み動作、情報の読み出し動作等に必要な周辺回路を含むが、実質的に単独で半導体チップに搭載される場合を説明したが、本発明は、例えば中央演算処理ユニット（CPU）等の論理ユニットやその他の回路ユニットと併せて1つの半導体チップにメモリユニットを搭載してもよい。また、本発明は、ウェハメモリのように、1つの共通の基板に複数のメモリユニットを1つのメモリモジュールとして構築してもよい。

【0122】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0123】

【発明の効果】

本発明は、同一構造を有するメモリユニットを複数積層することができ、かつ複数積層したメモリユニットのいずれかを選択する選択信号端子数を削減することができる半導体装置を提供することができる。特に、本発明は、同一構造を有するメモリユニットの複数積層を可能とし、大記憶容量を実現することができるとともに、選択信号端子数を削減して個々のメモリユニットのサイズを縮小し、より一層の大記憶容量を実現することができる半導体装置を提供することができる。

【 0 1 2 4 】

さらに、本発明は、メモリユニットを複数積層することができるパッケージ構造を実現することができるとともに、選択信号端子数を削減してパッケージサイズの小型化を実現することができる半導体装置を提供することができる。

【 0 1 2 5 】

さらに、本発明は、複数積層されたメモリユニットを簡易に識別することができる半導体装置を提供することができる。

【 0 1 2 6 】

さらに、本発明は、上記効果が得られる半導体装置を複数積層した半導体モジュールを提供することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態に係る半導体装置のシステムブロック図である。

【図 2】

(A) は本発明の第 1 の実施の形態に係る半導体装置の固有識別子生成回路のブロック回路図、(B) は固有識別子生成回路の真理値表である。

【図 3】

本発明の第 1 の実施の形態に係る半導体装置のメモリユニット選択回路のブロック回路図である。

【図 4】

本発明の第 1 の実施の形態に係る半導体モジュールのシステムブロック図である。

【図 5】

本発明の第 1 の実施の形態に係るフリップチップ構造を採用する半導体装置を複数積層した半導体モジュールの断面構造図である。

【図 6】

(A) は図 5 に示す半導体装置のパッケージ基板及び第 1 層目の配線パターンを示す概略平面図、(B) は図 5 に示す半導体装置のパッケージ基板及び第 2 層目の配線パターンを示す概略平面図である。

【図 7】

本発明の第 1 の実施の形態に係るテープキャリアパッケージ構造を採用する半導体装置を複数積層した半導体モジュールの断面構造図である。

【図 8】

(A) は図 8 に示す半導体モジュールの上下の半導体装置間の中間配線基板の第 1 層目の配線パターンを示す概略平面図、(B) は中間配線基板の第 2 層目の配線パターンを示す概略平面図である。

【図 9】

本発明の第 1 の実施の形態に係る半導体装置及び半導体モジュールの情報書き込み動作並びに情報読み出し動作を説明する動作フローチャートである。

【図 1 0】

本発明の第 2 の実施の形態に係る半導体モジュールのシステムブロック図である。

【図 1 1】

本発明の第 2 の実施の形態に係る半導体装置及び半導体モジュールの情報書き込み動作並びに情報読み出し動作を説明する動作フローチャートである。

【図 1 2】

本発明の第 2 の実施の形態の応用例に係る半導体装置のブロック回路図である。

【図 1 3】

本発明の第 3 の実施の形態に係る半導体装置の識別ユニットのブロック回路図である。

【図 1 4】

本発明の第 4 の実施の形態に係る半導体装置の識別ユニットのブロック回路図である。

【図 1 5】

本発明の第 5 の実施の形態に係る半導体モジュールのシステムブロック図である。

【図 1 6】

本発明の先行技術に係る D R A M システムのブロック回路である。

【図 1 7】

本発明の先行技術に係る D R A M システムの動作フローチャートである。

【図 1 8】

本発明の先行技術に係る半導体装置の要部の斜視図である。

【図 1 9】

本発明の先行技術に係る半導体装置の断面構造図である。

【符号の説明】

1 ～ 4、1 A ～ 4 A 半導体装置

5 半導体モジュール

8 A ～ 8 C 中間配線基板

1 0 A ～ 1 0 D メモリユニット

2 1 ～ 2 4 メモリバンク

3 0 A ～ 3 0 D 識別ユニット

3 1 メモリユニット選択回路

3 1 A ～ 3 1 C 比較回路

3 1 1、3 1 2 選択信号端子

3 2、3 4、3 5 固有識別子生成回路

3 2 1、3 2 2 固有識別子入力端子

3 2 3、3 2 4 固有識別子出力端子

5 0 A ～ 5 0 D パッケージ基板

5 7 A ～ 5 7 D、7 3 A ～ 7 3 D 半導体チップ

7 0 A ～ 7 0 D ベース基板

3 4 1、3 4 2 ヒューズ素子

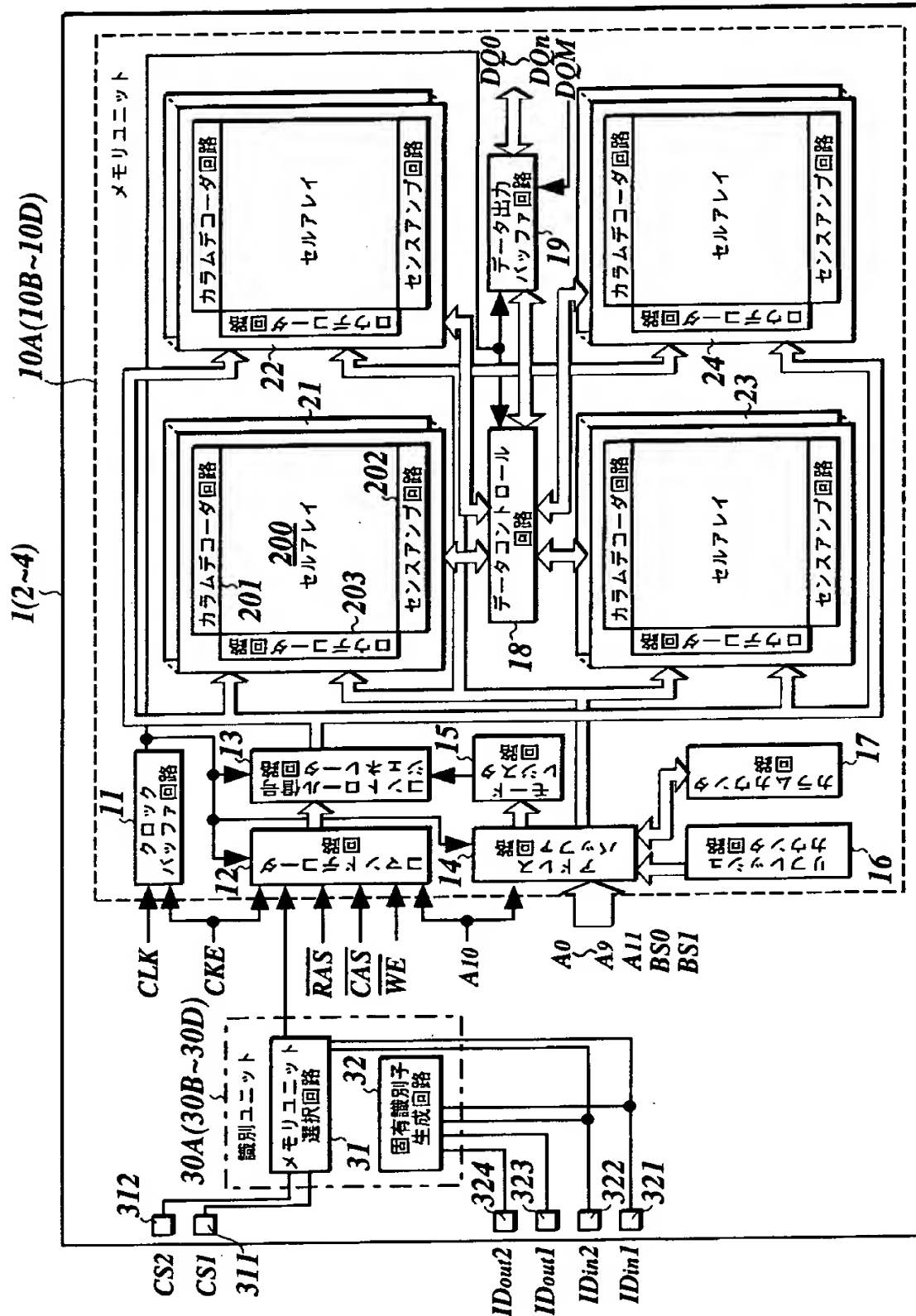
3 5 1、3 5 2 ワイヤ

C S 1、C S 2 メモリユニット選択信号

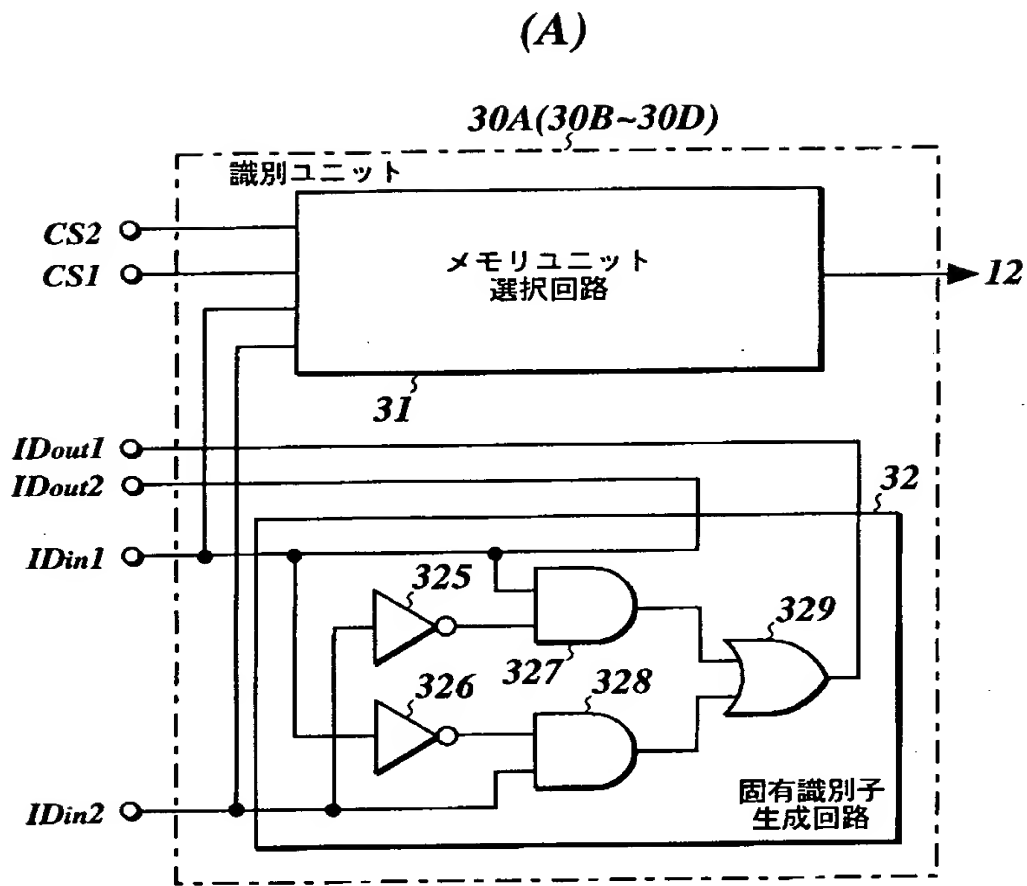
I D_{i n} 1、I D_{i n} 2 固有識別子生成信号

【書類名】 図面

【図 1】



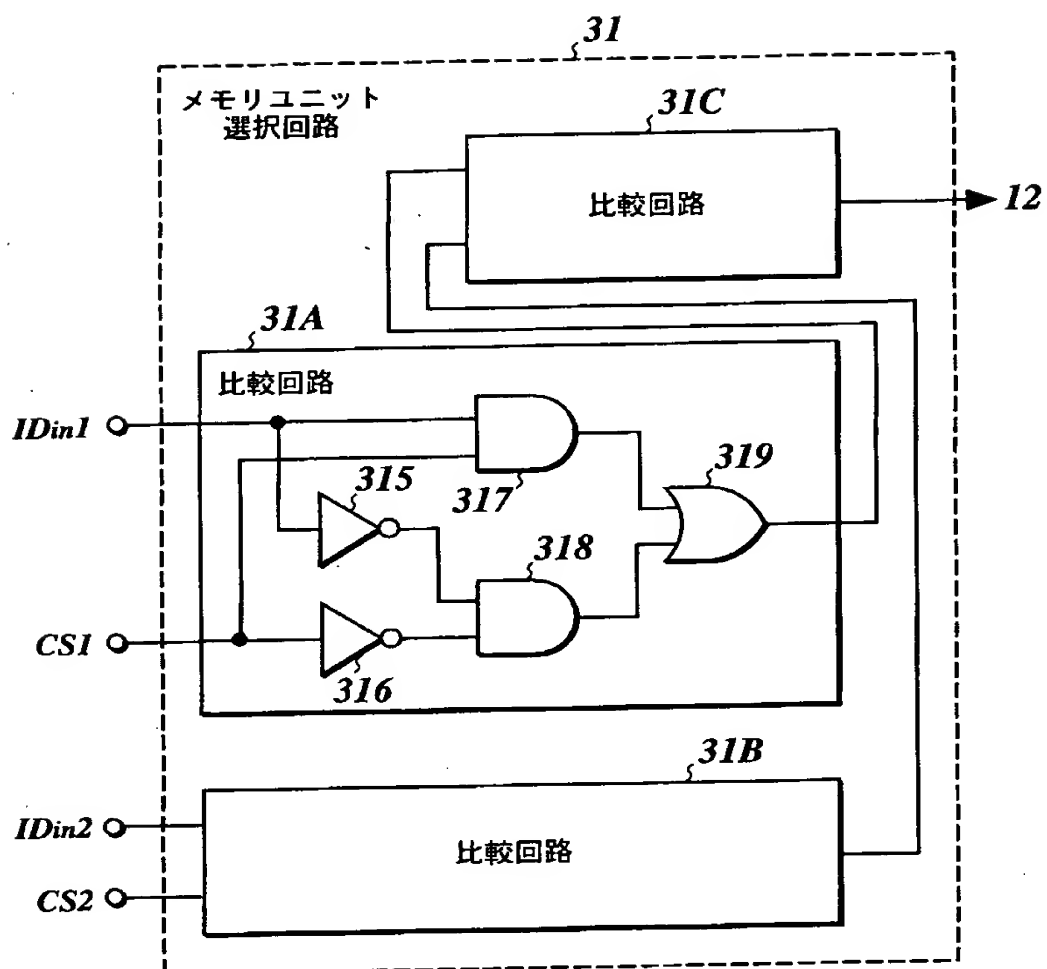
【図 2】



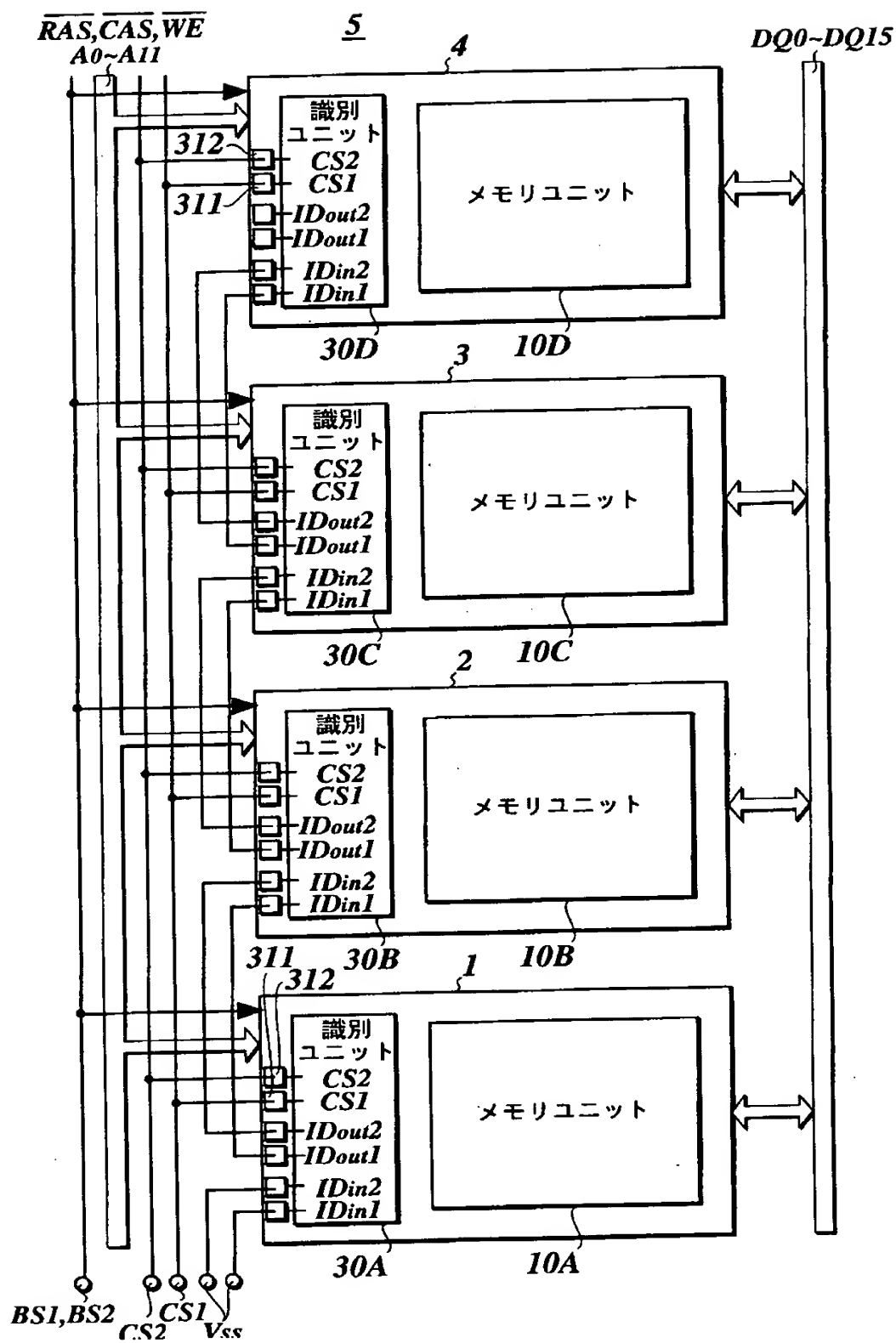
(B)

		IDin2	
		0	1
IDin1	0	0,0	1,0
	1	1,1	0,0

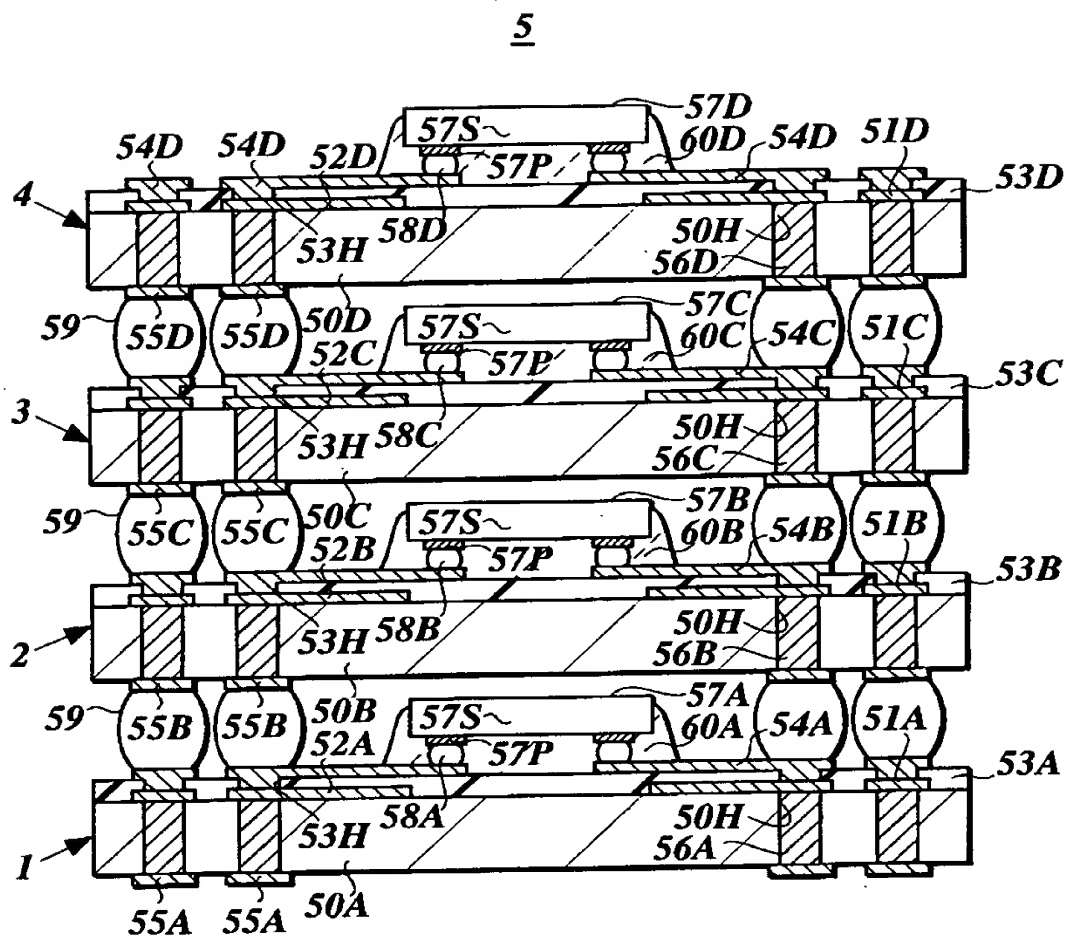
【図 3】



【図 4】

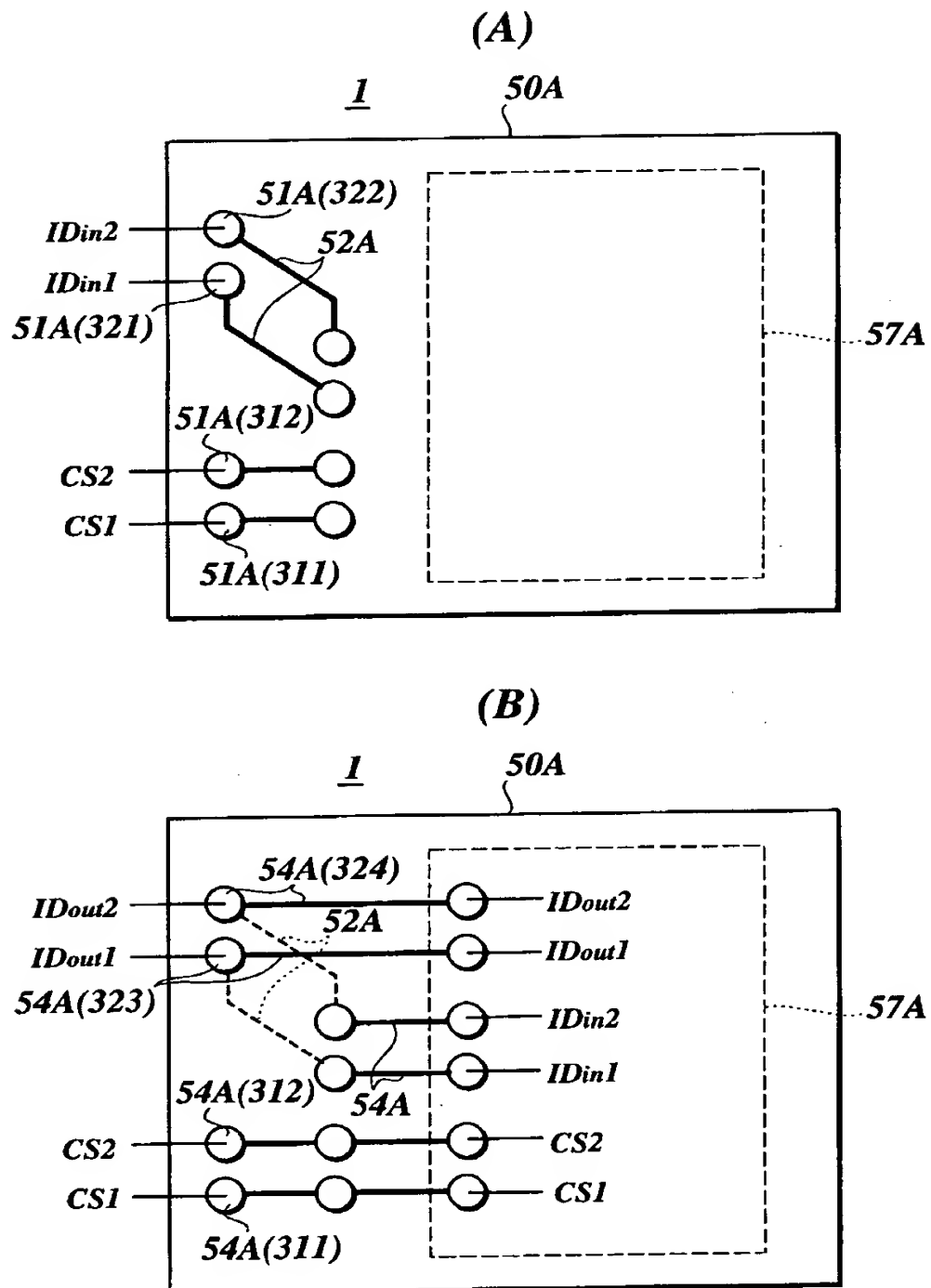


【図5】

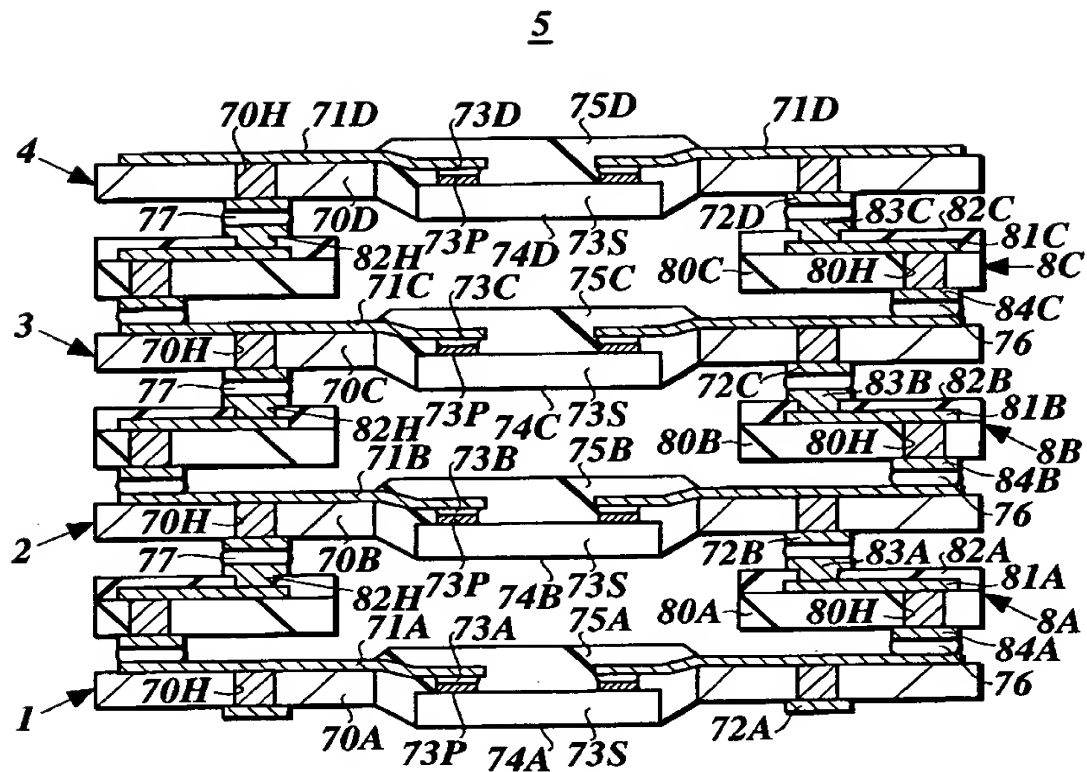


- 1~4 半導体装置
- 5 半導体モジュール
- 50A~50D ベース基板
- 51A~51D 表面電極
- 52A~52D 第1層目の配膳
- 54A~54D 第2層目の配線
- 55A~55D 裏面電極
- 57A~57D 半導体チップ

【図 6】

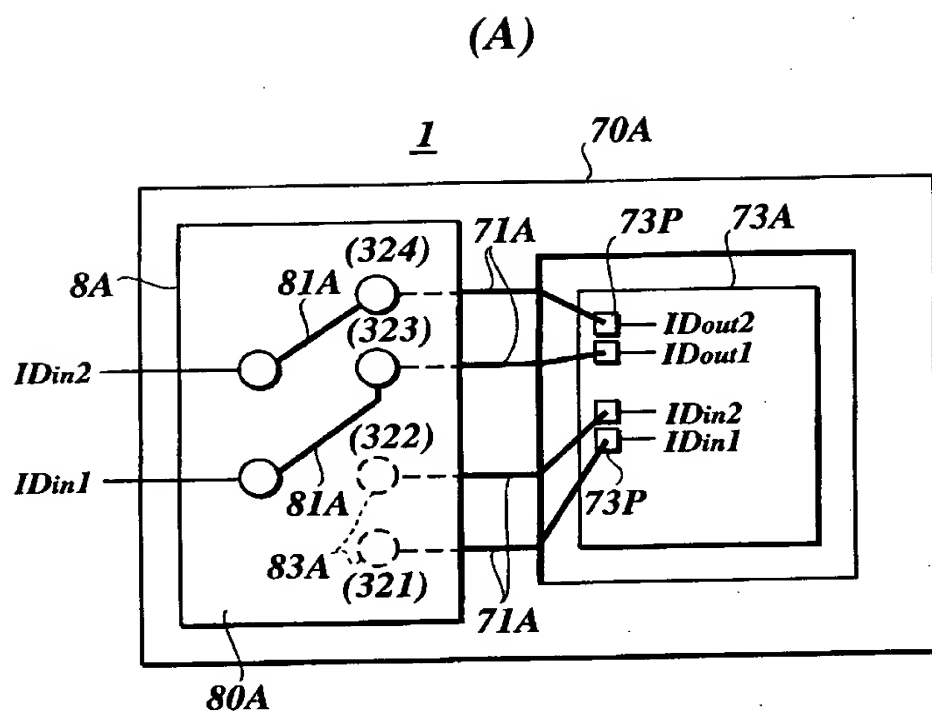


【図 7】

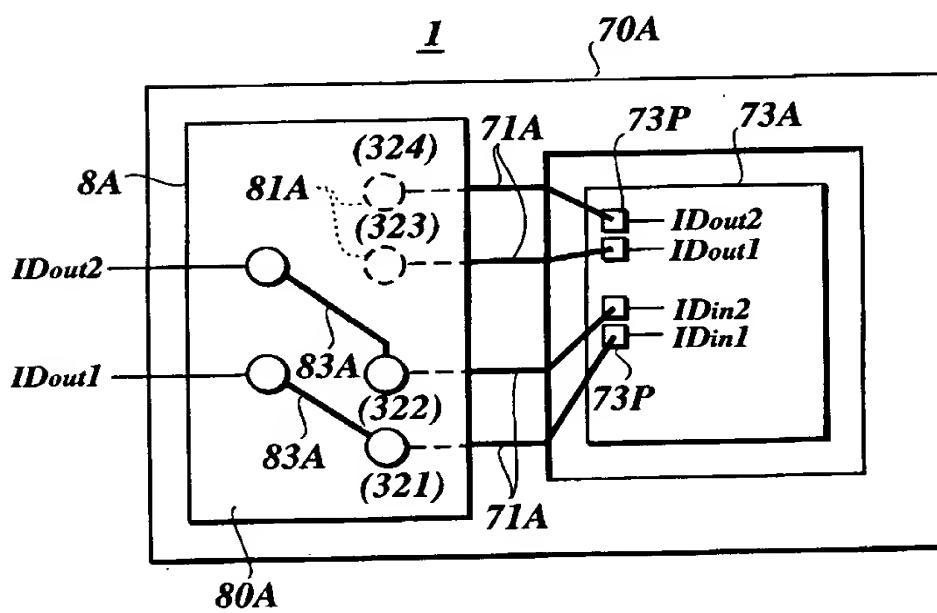


- 1~4 半導体装置
- 5 半導体モジュール
- 70A~70D ベース基板
- 71A~71D リード配線
- 74A~74D 半導体チップ
- 8A~8C 中間配線基板

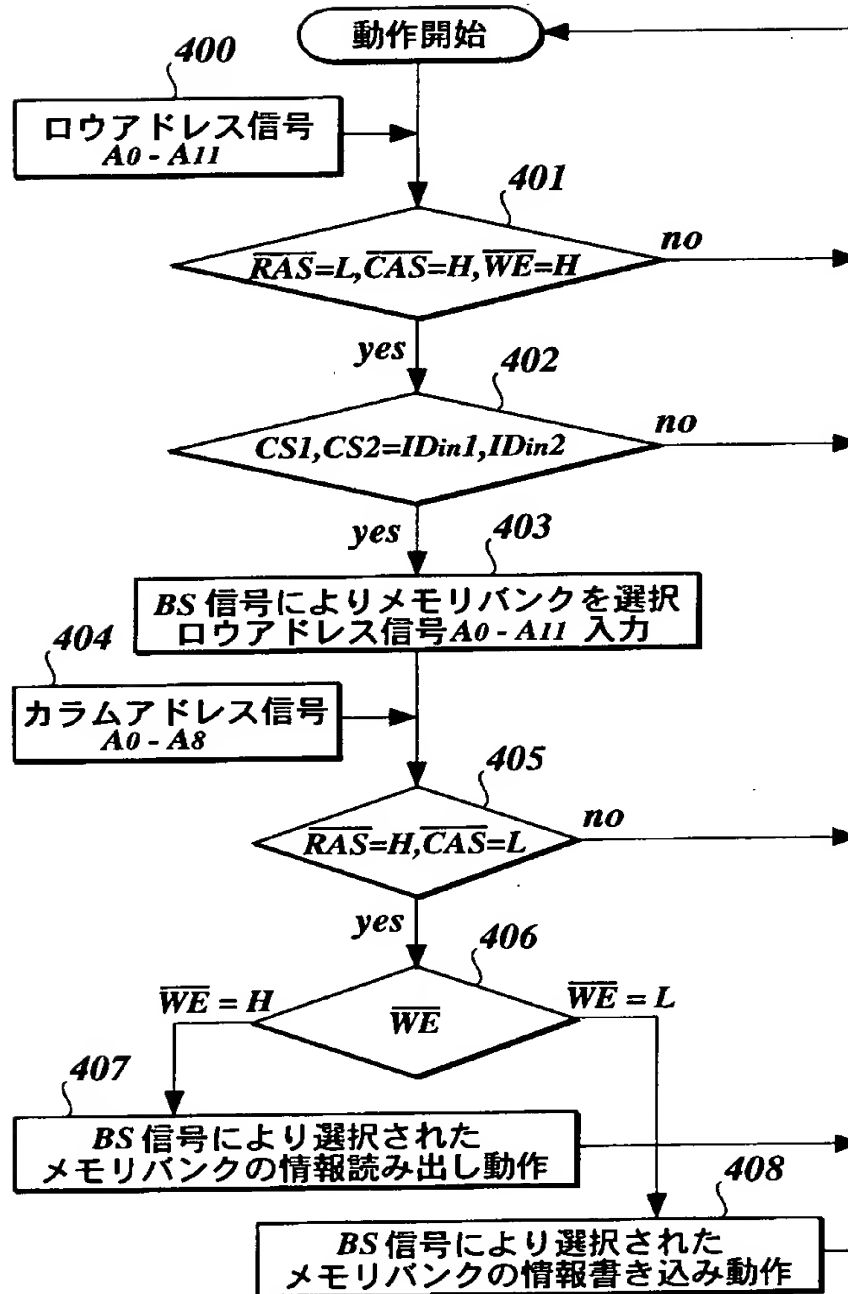
【図 8】



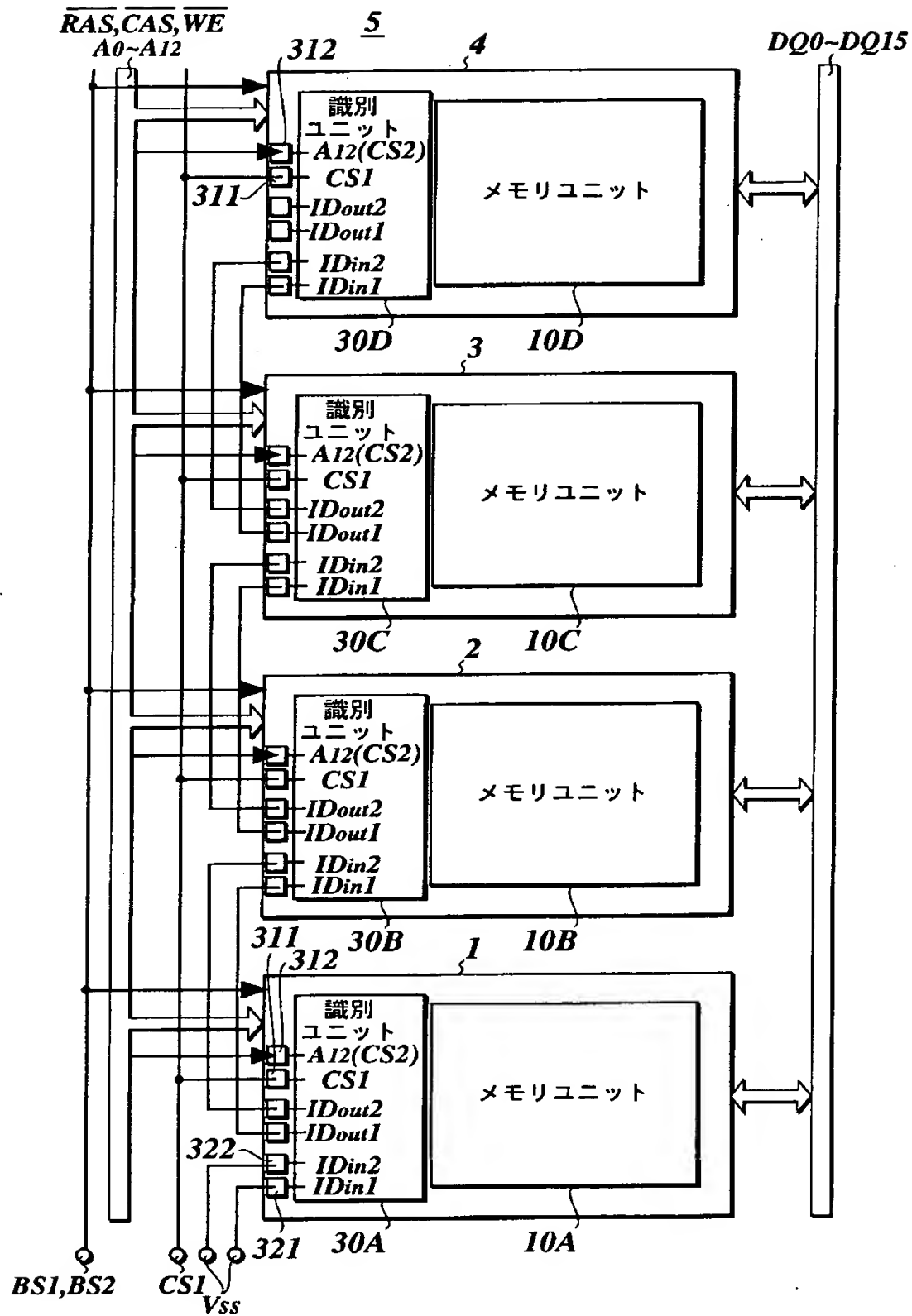
(B)



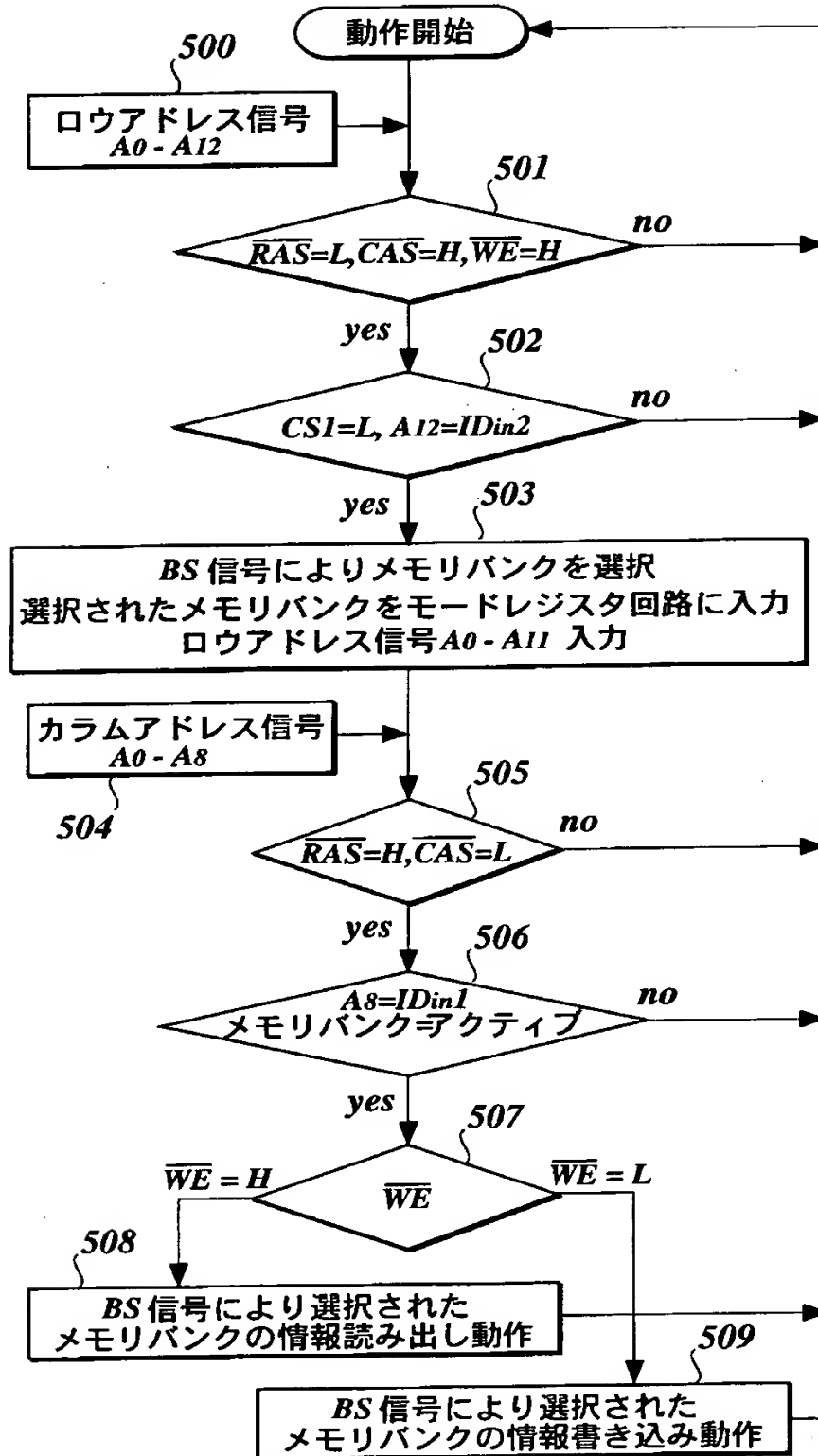
【図 9】



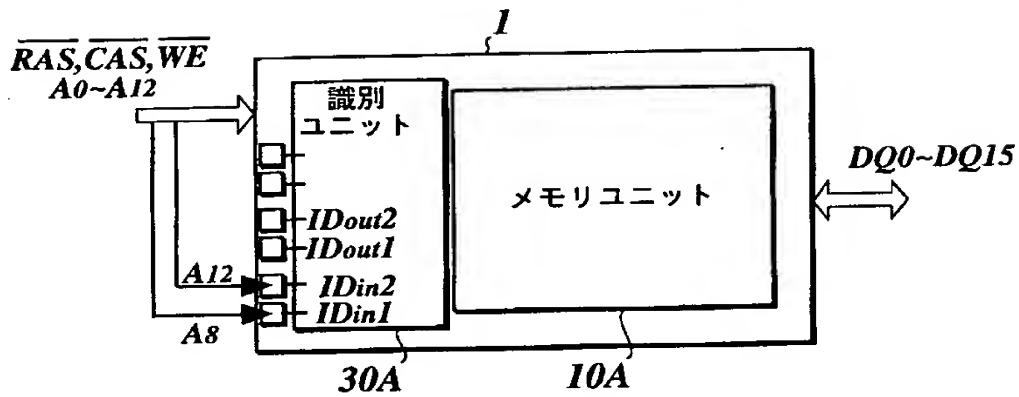
【図10】



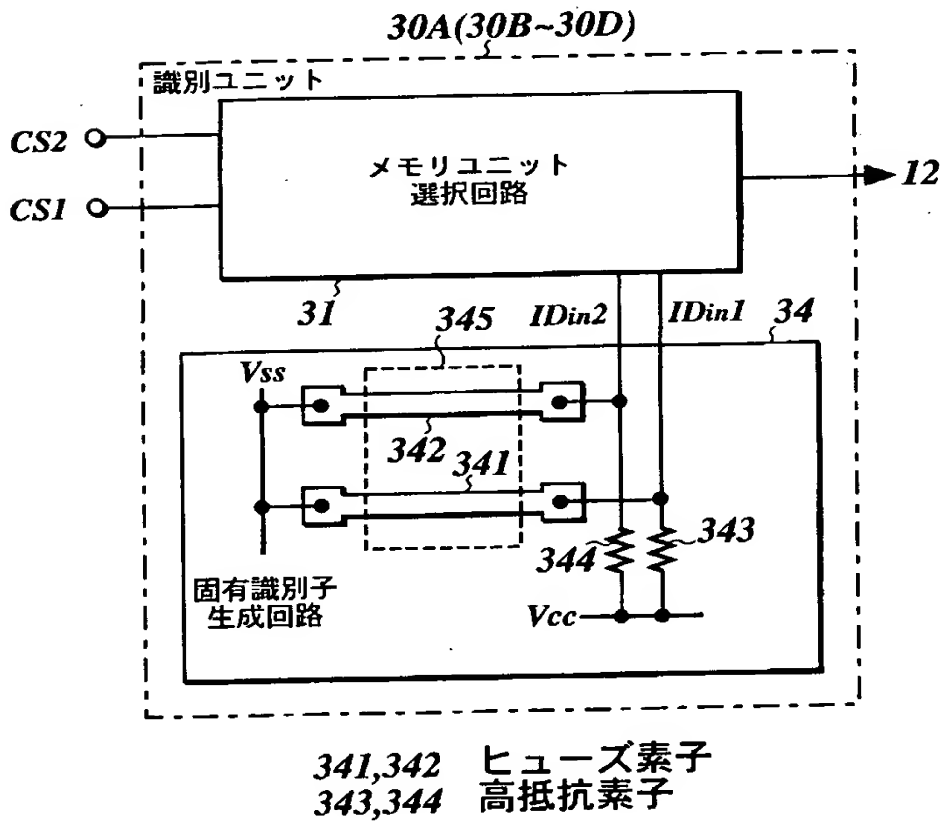
【図 11】



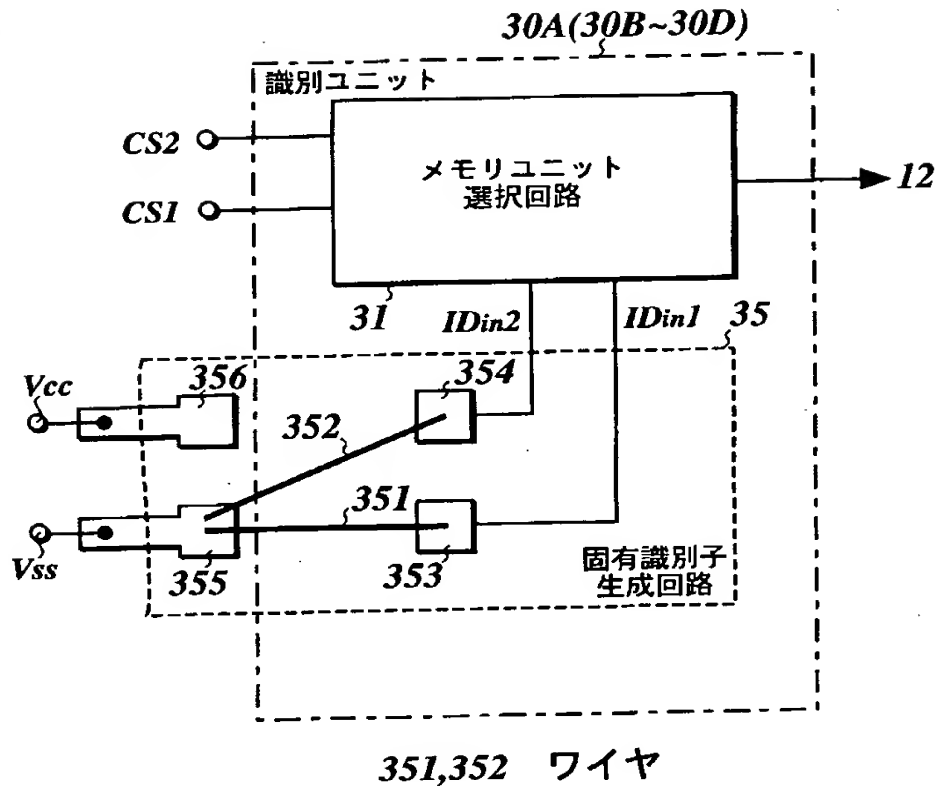
【図 1 2】



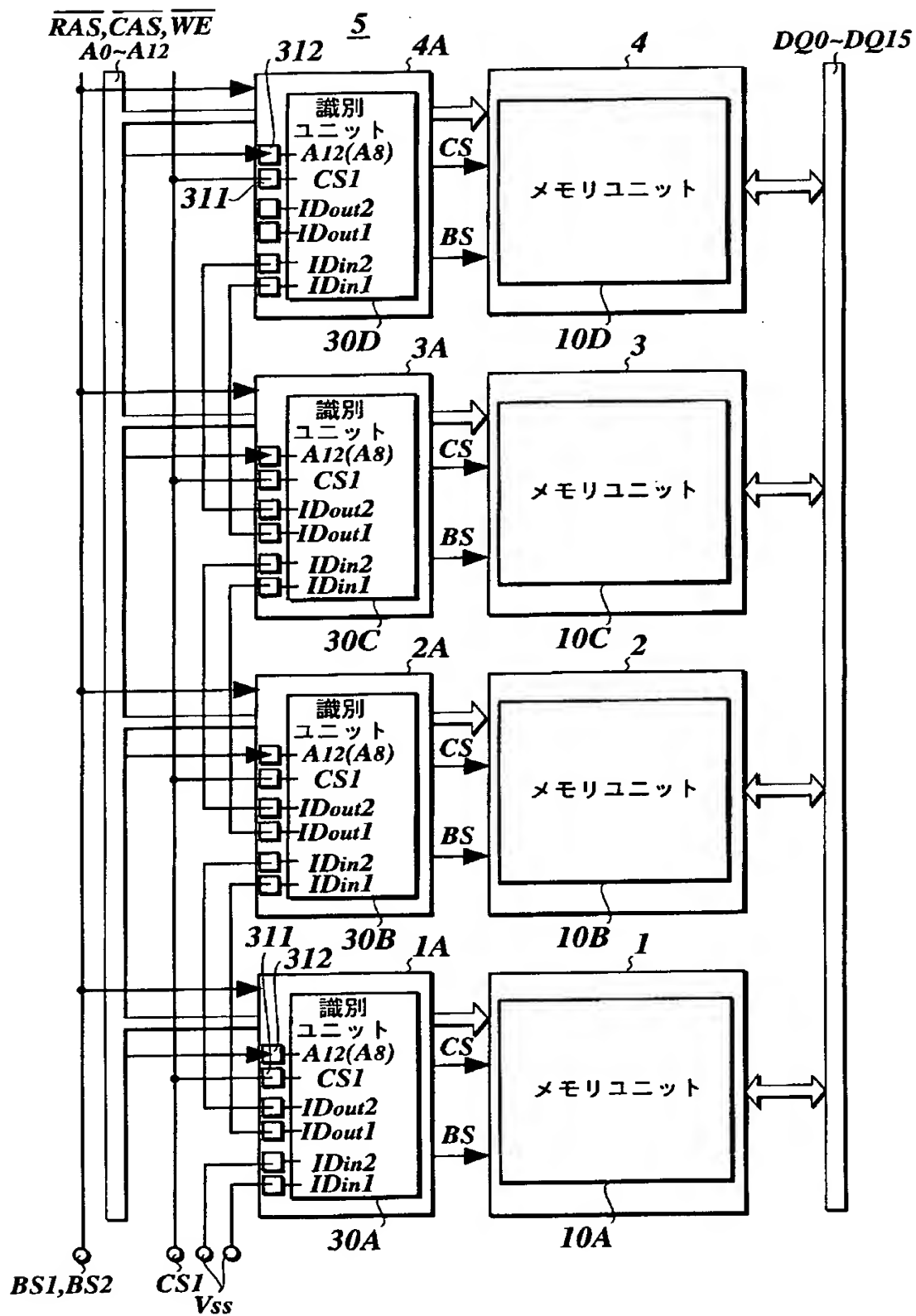
【図 1 3】



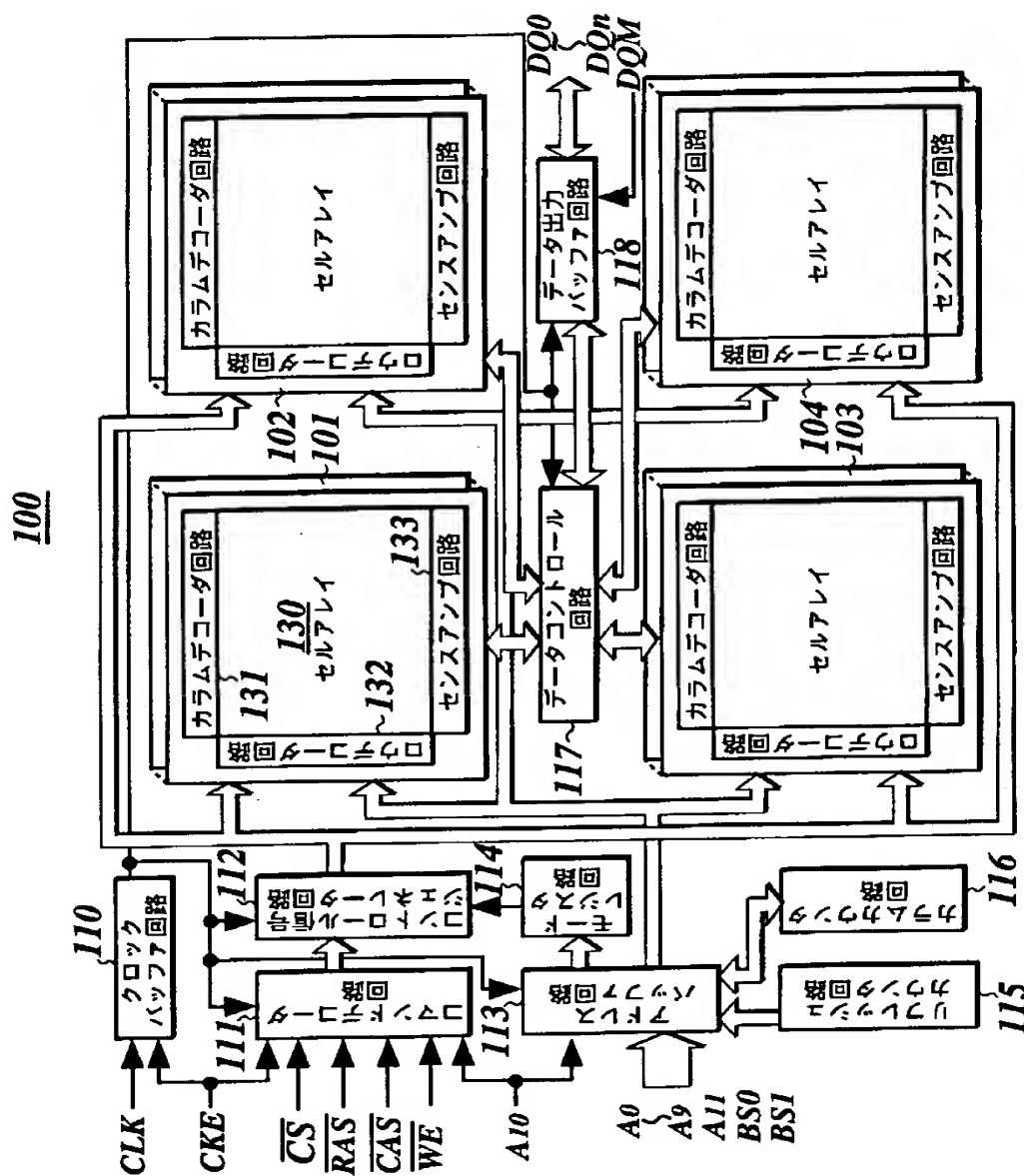
【図14】



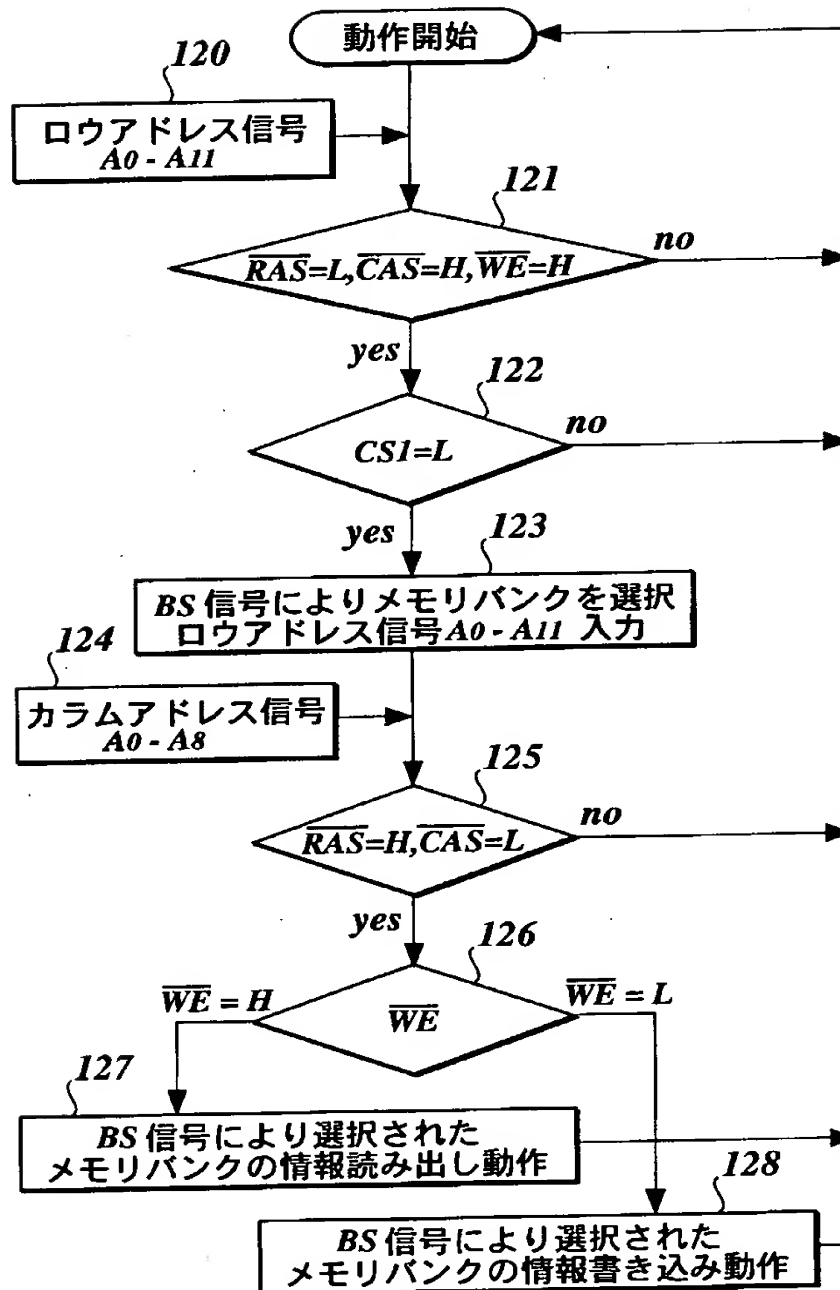
【図15】



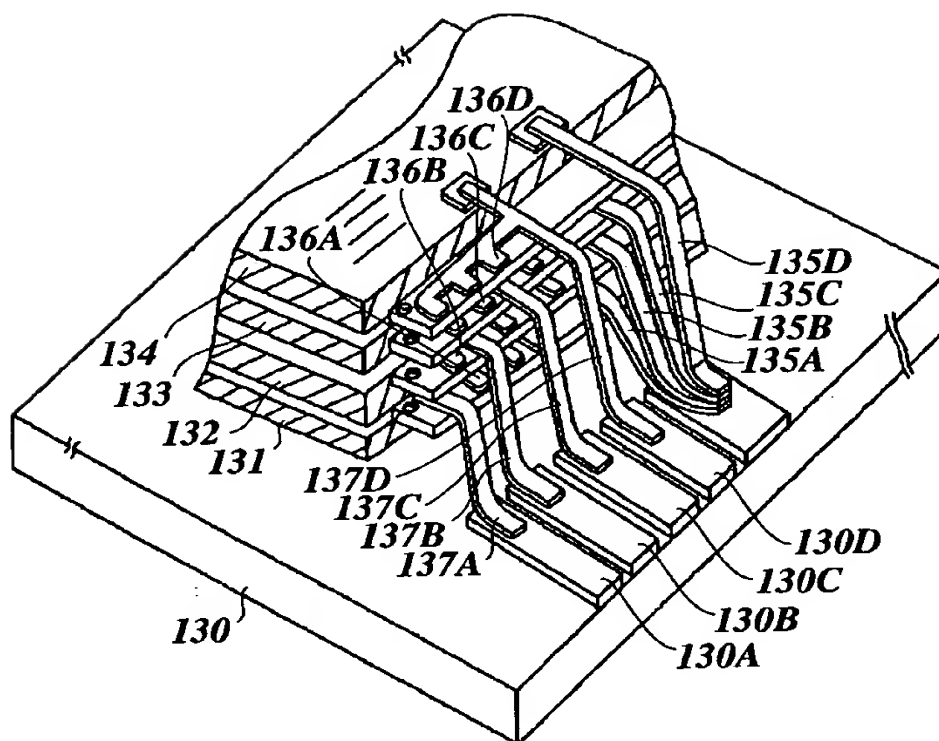
【図16】



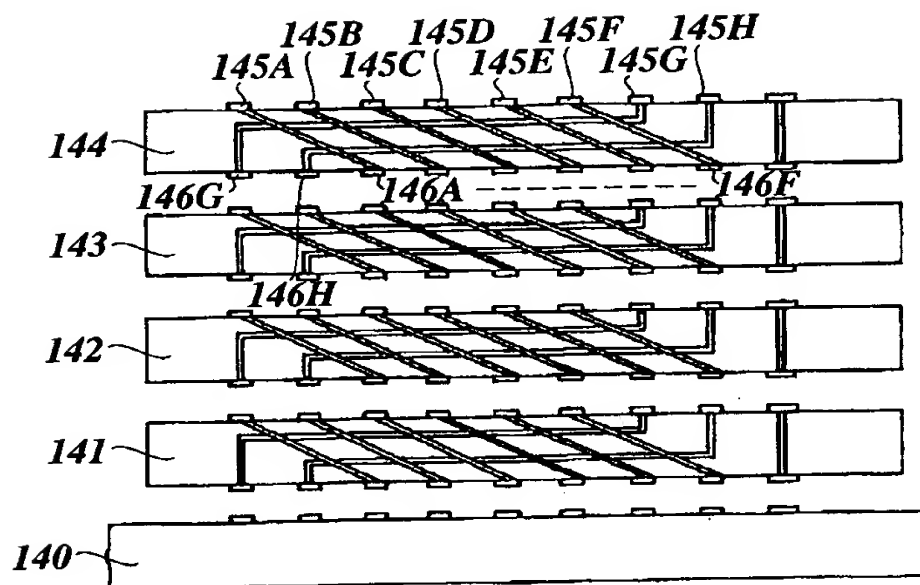
【図 17】



【図 18】



【図 19】



【書類名】 要約書

【要約】

【課題】 メモリユニットを複数積層することができ、複数積層したメモリユニットのいずれかを選択する選択信号端子数を削減することができ、小型化及び大容量化を実現することができる半導体装置並びに半導体モジュールを提供する。

【解決手段】 半導体装置 1 は、メモリユニット 1 0 A と、選択信号端子 3 1 1、3 1 2 と、識別ユニット 3 0 A とを備えている。選択信号端子 3 1 1 には複数のメモリユニット（1 0 A ～ 1 0 D）に共通のメモリユニット選択信号 C S 1 が、選択信号端子 3 1 2 には共通のメモリユニット選択信号 C S 2 がそれぞれ供給されている。識別ユニット 3 0 A は、共通のメモリユニット選択信号 C S 1、C S 2 に基づき、メモリユニット 1 0 A をその他のメモリユニット 1 0 B ～ 1 0 D に対して識別させる。半導体装置 1 上にはそれと同一構造の半導体装置 2 ～ 4 が積層され、半導体モジュールを構築することができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝